



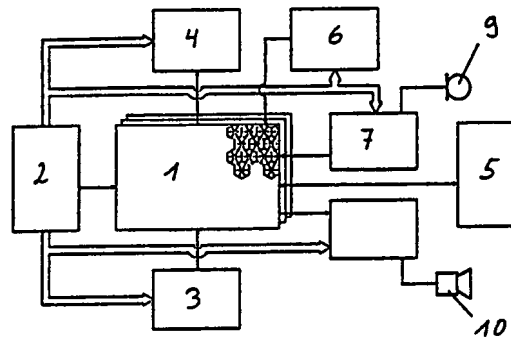
(51) Internationale Patentklassifikation 5 : G06F 15/80, G02B 6/42 G06E 1/00	A1	(11) Internationale Veröffentlichungsnummer: WO 90/04835 (43) Internationales Veröffentlichungsdatum: 3. Mai 1990 (03.05.90)
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>(21) Internationales Aktenzeichen: PCT/EP89/01162</p> <p>(22) Internationales Anmeldedatum: 4. Oktober 1989 (04.10.89)</p> <p>(30) Prioritätsdaten: P 38 35 601.5 19. Oktober 1988 (19.10.88) DE</p> <p>(71)(72) Anmelder und Erfinder: WENDT, Hans-Joachim [DE/DE]; Harburger Straße 65 F, D-2150 Buxtehude (DE).</p> <p>(74) Anwälte: SCHMIDT-BOGATZKY, Jürgen usw. ; Schloßmühlendamm 1, D-2100 Hamburg 90 (DE).</p> <p>(81) Bestimmungsstaaten: AT (europäisches Patent), BE (europäisches Patent), CH (europäisches Patent), DE (europäisches Patent), FR (europäisches Patent), GB (europäisches Patent), IT (europäisches Patent), JP, LU (europäisches Patent), NL (europäisches Patent), SE (europäisches Patent), SU, US.</p> </div> <div style="width: 50%; border-left: 1px solid black; padding-left: 10px;"> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p> </div> </div>		

(54) Title: DIGITAL COMPUTER WITH MULTIPROCESSOR ARRANGEMENT

(54) Bezeichnung: DIGITALRECHNER MIT EINER MULTIPROZESSOR-ANORDNUNG

(57) Abstract

In a digital computer with multiprocessor arrangement, each processor is a highly integrated computer chip on a semiconductor basis connected to the other processors in the arrangement, which are of same design, via a highly meshed management system composed of meshes and nodes for transmitting digital signals. Peripheral devices such as keyboards, memories, monitors, image sensors, speech analysis units, speech synthesis units as well as transmitters are connected to the computer. According to the invention, the management system is a beam waveguide network. Each node (26) is associated with a processor (11) to which it is coupled via an optical emitter (21) and an optical receiver (22). The new types of chip interconnection which result and hence the high packing density of the chips and large number of cross-connections obtained are particularly advantageous. The computer network has a high functional density and the computer and peripherals are unaffected by electromagnetic influences.



(57) Zusammenfassung

Bei einem Digitalrechner mit einer Multiprozessor-Anordnung, wobei jeder Prozessor als hoch integrierter Rechner-Chip auf Halbleiterbasis ausgebildet ist, der mit den weiteren in gleicher Weise ausgebildeten Prozessoren der Anordnung über ein hochgradig vermaschtes aus Maschen und Knoten bestehendes Leitungssystem zur Übertragung digitaler Signale in Verbindung steht und an den Rechner periphere Geräte, wie Tastaturen, Datenspeicher, Bildschirme, Bildsensoren, Sprachanalyse-Einheiten, Sprachsynthese-Einheiten sowie Meßwertgeber, angeschlossen sind, besteht die Erfindung darin, daß das Leitungssystem als Lichtwellenleiter-Netzwerk ausgebildet ist, wobei jedem Knoten (26) ein Prozessor (11) zugeordnet und an diesen über einen optischen Sender (21) und einen optischen Empfänger (22) angekoppelt ist. Hierbei ist insbesondere vorteilhaft, daß sich neue Wege der Chip-Zusammenschaltung ergeben, so daß eine hohe Packungsdichte der Chips und eine große Zahl von Querverbindungen erreicht wird; hieraus resultiert eine hohe Funktionsdichte des Rechner-Netzwerks bei gleichzeitiger Unstörbarkeit des Rechners und der peripheren Geräte durch elektromagnetische Einflüsse.

LEDIGLICH ZUR INFORMATION

Code, die zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	ES	Spanien	ML	Mali
AU	Australien	FI	Finnland	MR	Mauritanien
BB	Barbados	FR	Frankreich	MW	Malawi
BE	Belgien	GA	Gabon	NL	Niederlande
BF	Burkina Faso	GB	Vereinigtes Königreich	NO	Norwegen
BG	Bulgarien	HU	Ungarn	RO	Rumänien
BJ	Benin	IT	Italien	SD	Sudan
BR	Brasilien	JP	Japan	SE	Schweden
CA	Kanada	KP	Demokratische Volksrepublik Korea	SN	Senegal
CF	Zentrale Afrikanische Republik	KR	Republik Korea	SU	Sowjet Union
CG	Kongo	LI	Liechtenstein	TD	Tschad
CH	Schweiz	LK	Sri Lanka	TG	Togo
CM	Kamerun	LU	Luxemburg	US	Vereinigte Staaten von Amerika
DE	Deutschland, Bundesrepublik	MC	Monaco		
DK	Dänemark	MG	Madagaskar		

Digitalrechner mit einer Multiprozessor-Anordnung

Die Erfindung bezieht sich auf einen Rechner nach dem Oberbegriff des Anspruchs 1.

5 Nach heutiger Kenntnis können rechnerrelevante Signale sowohl elektrisch als auch optisch übertragen werden. Dabei besteht grundsätzlich die Möglichkeit, diese beiden Übertragungsarten außerhalb und innerhalb der Computerchips anzuwenden. Die Entwicklung optischer Chips wird zur Zeit betrieben, hat aber bei weitem noch nicht den hohen Stand, insbesondere in der
10 Miniaturisierung erreicht, wie er bei elektronischen Chips bereits vorliegt. Es gibt also sowohl optische als auch elektronische Bauelemente für Rechner, um Schaltungen nach der einen oder der anderen Übertragungsart aufzubauen. Daneben gibt es sog. optronische Bauelemente zur Realisierung von Übergängen zwischen
15 Schaltungsbereichen mit unterschiedlicher Übertragungsart.

Bei gattungsgemäßen Digitalrechnern werden gleichzeitig mehrere Prozessor-Einheiten betrieben, um die Rechnergeschwindigkeit zu erhöhen. Sofern es sich dabei um Rechner mit neuronalen Netzwerken handelt, kann durch den gleichzeitigen Betrieb vieler Pro-
20 zessoren eine mehr oder weniger ausgeprägte Lernfähigkeit der Rechner erreicht werden. Die einzelnen Funktions-Einheiten, Prozessoren und Speicher, weisen bei elektronischen Chips eine hohe Packungsdichte auf. Hierdurch wird der Platzbedarf eines derartigen Rechners verringert und die Länge der internen Übertragungswege verkürzt. Die hohe Packungsdichte wird dadurch
25 erreicht, daß die einzelnen auf einem Chip angeordneten elek-

tronischen Schaltelemente mit Hilfe der sog. Elektronenstrahl-Lithographie immer stärker miniaturisiert werden. Mit auf derartigen Chips basierenden Rechnersystemen sind bereits beachtliche Funktionsdichten erzielbar. Dennoch ist abzusehen, daß der Entwicklung rein elektronischer Superrechner Grenzen gesetzt sind. Mit "Superrechner" sind hier sog. lernfähige Rechner gemeint, die nur in Multiprozessor-Anordnungen in Form neuronaler Netzwerke denkbar sind, wobei die Anzahl der zusammenwirkenden Prozessoren, je nach Anwendung, beispielsweise fünfstellig oder auch um Größenordnungen höher sein kann. Rechnerstrukturen mit derartigen Anzahlen von Einzelprozessoren sind unter Beibehaltung akzeptabler Geräteabmessungen mit Prozessoren üblicher Bauart nicht mehr zu realisieren. In der US-Z Aerospace America/June 1988, Seite 40, Spalte 2, Zeilen 28 bis 41, ist ein Rechner, basierend auf VLSIC-Technik (Very Large Scale Integrated Chip) beschrieben, der 250.000 Prozesse und 5 Millionen Querverbindungen ausführen kann. Hier wird dann weiter ausgeführt, daß einige Millionen von Querverbindungen je nach Anwendung bei weitem zu wenig sein können. So erfordert die Muster-Erkennung mittels eines optischen Aufnahmeorgans mit einer Million optoelektrisch aktiver Einzelelemente, beispielsweise eine in die Milliarden gehende Anzahl von Querverbindungen zwischen den einzelnen Einheiten des Rechners. Um die Entwicklung in dieser Richtung voran zu treiben, müßten neue Wege der Chip-Kontaktierung gefunden werden, da die Zusammenschaltung von derart vielen Prozessoren durch die derzeitige Kontaktierungstechnik sehr stark eingeschränkt wird. Bei dieser Technik werden die einzelnen Chips durch üblicherweise an ihren Gehäuserändern angeordnete Lötanschlüsse mit der übrigen Rechnerschaltung verbunden.

Bezüglich der Erstellung von Superrechnern der vorgenannten Art bietet die elektrische Übertragungsart folgenden Vorteil:

- Die Möglichkeiten der Miniaturisierung bei der Chipherstellung können voll genutzt werden. Hierbei sind Bauelement-Abmessungen, beispielsweise Leiterbahnbreiten von 0,01 μm , realisierbar.

5

Dem stehen jedoch folgend Nachteile gegenüber:

- 10 - Die notwendige hohe Anzahl von Querverbindungen außerhalb der Chips erschwert die Entwicklung von Superrechnern außerordentlich.
- Die elektrischen Querverbindungen sind, wie alle derartigen Leitungen, sehr empfindlich gegenüber elektromagnetischen Störfeldern.
- 15 - Die auf den elektrischen Übertragungswegen immer vorhandenen Induktivitäten und Kapazitäten bewirken eine erhebliche Einschränkung der Übertragungsgeschwindigkeit sowie der Übertragungsbandbreite auf diesen Wegen.
- 20

Betrachtet man die Brauchbarkeit optischer Konzepte zur Realisierung von Superrechnern, so stößt man insbesondere auf folgenden Nachteil:

25

- Bisher realisierte oder konzipierte optische Chips weisen nicht den hohen Grad der Miniaturisierung auf, wie er bei elektronischen Chips bereits erreicht ist.

30

Vorteilhaft bei optischen Rechnerkonzepten ist jedoch folgendes:

- Die betreffenden Übertragungswege sind unempfindlich gegen elektromagnetische Störfelder.

- Die optischen Übertragungswege weisen weder störende Induktivitäten noch Kapazitäten auf.

Die Frage optisch oder elektrisch stellt sich nicht nur bezüglich der Chips und deren Verbindungen untereinander sondern auch bezüglich der Peripherie eines Rechners, also bezüglich der Bildschirme, Tastaturen, Sensoren, Laufwerksschaltungen und so weiter. Um diese Geräte weitgehend gegen elektromagnetische Einflüsse unempfindlich zu machen, werden diese üblicherweise entsprechend abgeschirmt, wobei die Datenleitungen bereits durch Lichtwellenleiter realisiert sein können. Zum Schutz gegen Störungen, die über die Versorgungsleitungen in die Geräte gelangen, sind weitere Entstörmaßnahmen erforderlich. Entsprechende Lösungen sind insbesondere wegen der benötigten Abschirmungen und Filteranordnungen relativ aufwendig.

Demgemäß liegt der Erfindung die Aufgabe zugrunde, einen gattungsgemäßen Rechner und die damit zusammenwirkenden peripheren Geräte derart auszubilden, daß darin die Vorteile der optischen Übertragungsart mit den Vorteilen der elektronischen Signalverarbeitung so vereint werden, daß sich der Rechner und die peripheren Geräte durch eine weitgehende Unstörbarkeit durch elektromagnetische Einflüsse auszeichnen, wobei die für Superrechner typischen Anzahlen von Querverbindungen realisierbar sind.

Diese Aufgabe wird bei einem gattungsgemäßen Rechner durch die kennzeichnenden Merkmale des Patentanspruchs 1 gelöst.

Dabei ist insbesondere von Vorteil, daß sich neue Wege der Chip-Zusammenschaltung ergeben, so daß eine hohe Packungsdichte der Chips und eine große Zahl von Querverbindungen erreicht wird; hieraus resultiert eine hohe Funktionsdichte des Rechner-Netzwerks bei gleichzeitiger Unstörbarkeit Rechners und der peripheren Geräte durch elektromagnetische Einflüsse.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

5 So besteht ein Vorteil der Ausgestaltung nach Anspruch 2 darin, daß die Schaltung des einzelnen Prozessor-Chips allseitig gegen magnetische und elektromagnetische Störungen abgeschirmt ist.

10 Bei der Ausgestaltung nach Anspruch 3 geschieht der Datenaustausch mit dem einzelnen Chip ausschließlich über optische Datenleitungen.

15 Bei der Ausgestaltung nach Anspruch 4 geschieht die Stromversorgung des einzelnen Chips durch Lichteinstrahlung. Damit sind bei gleichzeitiger optischer Datenübermittlung elektrische Zuleitungen zum Chip nicht mehr erforderlich.

Durch die Lösung nach Anspruch 5 wird die Möglichkeit eröffnet, ein "Farbmultiplex-Verfahren" anzuwenden.

20 Bei der Chipform nach Anspruch 6 werden die Chipgrenzen von den Lichtwellenleitern rechtwinklig gekreuzt.

25 Bei der Ausgestaltung nach Anspruch 8 verbleiben die Chips auf dem Trägermaterial, auf den sie hergestellt wurden und werden hier zu einem Prozessornetzwerk zusammengeschaltet.

Durch die Ausgestaltung nach Anspruch 9 erhält das Prozessor-Netzwerk eine räumliche Dimension.

30 Bei der Ausgestaltung nach Anspruch 10 ist das Format des Bildschirms nicht durch die Matrixverdrahtung begrenzt.

Durch die Lösung nach Anspruch 11 kann ein farbiger Flachbildschirm von üblichem Format realisiert werden.

Die Schaltelemente und die Zuleitung der Tastatur nach Anspruch 12 sind weitgehend unempfindlich gegen elektromagnetische Störungen.

5 Das Mikrofon nach Anspruch 13 basiert auf einer rein optischen Wirkungsweise und ist somit völlig unstörbar durch elektromagnetische Störfelder.

10 Der optomagnetische Datenspeicher nach den Ansprüchen 14 und 15 zeichnet sich aus durch äußerst kurze Zugriffszeiten.

Die Erfindung ist anhand der Zeichnung dargestellt und in der Beispielbeschreibung näher erläutert. Es zeigen

- 15 Fig. 1 ein Blockschaltbild eines Superrechners,
Fig. 2 einen Querschnitt durch einen mehrlagigen Chip,
Fig. 3 eine metallisierte Beschichtung,
Fig. 4 eine Lichtleiterschicht,
Fig. 5 eine Photozellenschicht,
20 Fig. 6 einen Chip mit Funktions-Einheiten,
Fig. 7 eine Deckschicht,
Fig. 8 eine Chip-Gruppierung,
Fig. 9 eine Energieversorgung für eine Chip-Struktur,
Fig. 10 einen Einkoppelpunkt,
25 Fig. 11 eine Anzeige-Einheit,
Fig. 12 eine Ansteuerschaltung für die Anzeige-Einheit nach Fig. 11,
Fig. 13 ein Taster-Element,
Fig. 14 eine Beschaltung für eine Tastatur mit Taster-
30 Elementen nach Fig. 13,
Fig. 15 ein Mikrofon mit Beschaltung,
Fig. 16 ein Sprachausgabeteil,
Fig. 17 einen Bildsensor,

Fig. 18 eine Massenspeicher-Anordnung,
Fig. 19 einen kombinierten Druck/Temperatur-Sensor und
Fig. 19 eine Signalstruktur.

5

10

15

20

25

30

Fig. 1 zeigt ein Blockschaltbild eines erfindungsgemäßen Rechners mit einem neuronalen Prozessor-Netzwerk 1, woran folgende Funktions-Einheiten angeschlossen sind. Eine Energieversorgungs-Einheit 2, ein Daten-Eingabefeld 3, eine Anzeige-Einheit 4, ein magnetischer Massenspeicher 5, ein Bildsensor 6, eine Sprachanalyse-Einheit 7 und eine Sprachsynthese-Einheit 8. Weiterhin steht die Energieversorgungs-Einheit 2, wie dargestellt, mit jeder der Einheiten 3 bis 8 in Verbindung. Das Prozessor-Netzwerk 1 weist einige Hunderttausend einzelner Prozessor-Chips auf, die miteinander ein hochgradig vermaschtes Netzwerk bilden. Die im Schaltbild gezeigten Leitungen sind als Lichtwellenleiter ausgebildet. Alle Ein- und Ausgänge der einzelnen Funktions-Einheiten weisen an die Lichtwellenleiter angeschlossene optoelektronische Wandler auf. Auch die von der Energieversorgungs-Einheit 2 kommenden Energieleitungen sind als Lichtwellenleiter ausgebildet. Infolge des hochgradig vermaschten neuronalen Netzwerkes 1 ist dieser Rechner in gewissem Umfang lernfähig und kann außer den üblichen logischen Operationen auch solche der Muster-Erkennung ausführen. Dabei ist sowohl eine optische als auch eine akustische Muster-Erkennung, durchführbar. Bei optischer Muster-Erkennung erfolgt die Signal-Eingabe in den Rechner 1 durch den Bildsensor 6 und/oder durch den Massenspeicher 5. Bei akustischer Muster-Erkennung erfolgt die Dateneingabe durch die Sprachanalyse-Einheit 7, die mit einem Mikrofon 9 zusammenwirkt. Die Sprachausgabe erfolgt anhand der Sprachsynthese-Einheit 8, an die ein Lautsprecher 10 angeschlossen ist.

Fig. 2 zeigt schematisch einen Querschnitt durch einen einzelnen Prozessor-Chip 11, wie er in dem obigen Prozessor-Netzwerk 1 verwendet wird. Dieser Chip enthält einen kompletten Prozessor und bildet die Grundlage der Rechnerschaltung. Der Chip besteht im einzelnen aus einer metallischen, als elektromagnetische Abschirmung dienenden, Trägerschicht 12, auf der die weiteren Schichten angeordnet sind. Auf der Schicht 12 ist eine Lichtlei-

terschicht 13, bestehend aus einem verlustarmen Material, wie Silikat, angeordnet. Oberhalb der Schicht 13 befindet sich eine Fotozellenschicht 14, beispielsweise bestehend aus kristallinem Silizium, worüber eine Schaltungsträger-Schicht 15 angeordnet ist, die beispielsweise aus Silizium oder GaAs (Galliumarsenid) bestehen kann. Innerhalb dieser Schicht 15 befindet sich die mittels hoch auflösender Verfahren, z.B. mittels Elektronenstrahl-Lithographie, hergestellte Schaltung des Prozessors. Den oberen Abschluß des Chips bildet eine Deckschicht 16. Diese Schicht besteht, wie die Träger-Schicht 12, aus Metall, und enthält definierte Lichtleiter-Bahnen. Zwischen den Schichten 13 und 14, 14 und 15 sowie 15 und 16 ist je eine mit 13', 14' bzw. 15' bezeichnete, aus SiO_2 bestehende Isolierschicht angeordnet. Die genannten Isolierschichten gehen in Rand-Schichten 14'', 15'' über, wodurch die Schichten 14 und 15 von einer metallischen Randschicht 25 elektrisch getrennt sind.

Fig. 3 zeigt in der Draufsicht den auf die Fläche des Chips bezogenen Bereich der metallischen Trägerschicht 12. Dieser Bereich hat die Form eines regelmäßigen Sechsecks, so daß die einzelnen Chips platzsparend auf der Trägerschicht 12 angeordnet werden können. Die zwischen der Schicht 12 und der Schicht 13 befindliche Grenzfläche ist derart ausgebildet, daß das in die Lichtleiter-Schicht 13 eingeleitete Licht hier maximal reflektiert und der Fotozellenschicht zugeführt wird.

Fig. 4 zeigt eine Draufsicht der Lichtleiter-Schicht 13. Auch diese Schicht ist, wie alle anderen Schichten des Chips von sechseckiger Form. Diese Schicht leitet das mit hoher Leistungsdichte eingeleitete multispektrale Licht multimodal in die Fotozellenschicht 14 weiter.

Fig. 5 zeigt eine Draufsicht der Fotozellenschicht 14. Diese Schicht weist eine bestimmte Anzahl von Fotozellen auf, so daß diese bei Belichtung von der Lichtleiter-Schicht 13 her eine

elektrische Spannung liefert, die um 20 bis 30% höher ist als die Spannung, die für die Versorgung der in der Schicht 15 angeordneten Schaltung benötigt wird. Damit ergibt sich ein genügend großer Regelbereich für einen sicheren Betrieb des Rechnerchips. Die Fotozellen-Schicht 14 ist durch eine aus SiO_2 bestehende Isolierschicht 14' von der Schaltungsträger-Schicht 15 getrennt.

Fig. 6 zeigt eine Draufsicht der Schaltungsträger-Schicht 15. Auf dieser Schicht sind die einzelnen Funktions-Einheiten des Chips aufgebaut. Das Bild zeigt im einzelnen folgende Einheiten. Eine Prozessor-Einheit 17, eine Versorgungs-Einheit 18, einen programmierbaren Speicher 19, einen Direktzugriffs-Speicher 20, einen Bus-Coder 21, einen Bus-Decoder 22, einen optischen Sender 23 sowie einen optischen Empfänger 24. Die Prozessor-Einheit 17 kann als 8-, 16- oder 32-Bit-Rechner ausgeführt sein. Die Versorgungs-Einheit 18 steht mit der Fotozellen-Schicht 14 in Verbindung und erhält von hier ihre Eingangsspannung. Hierzu weist die Isolierschicht 14' eine entsprechende vertikale Durchkontaktierung auf. Die Versorgungs-Einheit 18 stabilisiert die Eingangsspannung auf einen vorbestimmten Wert und versorgt damit über entsprechende elektrische Leiterbahnen alle Funktions-Einheiten des Chips. Die Funktions-Einheiten stellen hoch integrierte Halbleiterschaltkreise dar, die über einen internen elektrischen Rechnerbus miteinander verbunden sind. Die Draufsicht zeigt weiterhin eine geschlossen umlaufende metallische Randschicht 25, die die gesamte auf dem Chip angeordnete Schaltung umgibt. Diese Schicht stellt in Verbindung mit den metallischen Schichten 12 und 16 eine äußerst wirksame Abschirmung gegen magnetische und elektromagnetische Einflüsse dar. Der Datenaustausch mit den anderen in dem neuronalen Netzwerk in großer Zahl zusammengefaßten weiteren Prozessor-Chips und mit den peripheren Einheiten erfolgt über den optischen Sender 23 bzw. über den Empfänger 24. Damit ist der Prozessor nur noch über optische Übertragungswege mit der Außenwelt verbunden,

wodurch sich eine minimale Empfindlichkeit gegen elektromagnetische Störfelder ergibt.

5 Fig. 7 zeigt eine Draufsicht der Lichtleiter-Schicht 16 nach Fig. 2. Diese ebenfalls sechseckig ausgebildete Schicht weist in ihrer Mitte einen optischen Knoten 26 auf. In diesen Knoten münden sternförmig sechs Lichtwellenleiter 27 ein. Die Lichtwellenleiter 27 bestehen aus einem polymeren Material von vorbestimmter Dämpfung und sind in innerhalb der Schicht 16 angeordnete vertiefte Bahnen eingebracht. Der Knoten 26 wirkt als
10 optisches Koppelglied und bringt die chipseitigen Coder bzw. Decoder-Einheiten 21,20 über den jeweiligen Sender 23 bzw. Empfänger 24 mit den Lichtwellenleitern 27 in optischen Kontakt.

15 Fig. 8 zeigt einen Ausschnitt eines Prozessor-Netzwerks, bestehend aus mehreren Prozessor-Chips, die infolge der Sechseckform unter optimaler Flächenausnutzung aneinandergesetzt sind. Die einzelnen Chips stehen über ein aus den Lichtwellenleitern 27 gebildetes Netzwerk miteinander in Verbindung. Die Leiter 27
20 sind in die geschlossene Träger-Schicht 16 eingebettet, die alle Prozessor-Chips überdeckt. Die Knoten 26 fungieren sowohl als aktive als auch als passive Sternkoppler des Netzwerks. Infolge der Sechseckform der Chips mit der zentralen Anordnung der Knoten 26 bildet das Netzwerk dreieckige Maschen mit den Knoten als Eckpunkten, wobei jeder Knoten 26 mit sechs Lichtwellenleitern 27 verbunden ist. Dabei ergibt sich als geometrischer
25 Sonderfall, daß alle Chipgrenzen 28 von den Lichtwellenleitern 27 rechtwinklig gekreuzt werden. Durch Integration einer Vielzahl derartiger Chips mit den vorbeschriebenen Schichten 12,13 und 15,16 wird jeweils eine Prozessorebene gebildet, die mit weiteren derartigen Ebenen zu einem Block vereinigt ist. Dabei sind an vorbestimmten Stellen der Ebenen optische Durchkontaktierungen vorgesehen, so daß das Prozessor-Netzwerk eine
30 räumliche Dimension von äußerst hoher Funktionsdichte erhält.

- 12 -

Fig. 9 zeigt die Energieversorgung einer aus den Schichten 12 bis 16 gebildeten Ebene 29 des Prozessor-Netzwerks mit einer geregelten Stromversorgung 30, die über elektrische Leitungen 31,32 mit einer Lichtquelle 33 in Verbindung steht. Links unten innerhalb der rechteckigen Ebene 29 ist die vorbeschriebene Chipstruktur schematisch gezeigt. Zu sehen sind die Deckschicht 16 mit den Lichtwellenleitern 27 sowie ausschnittsweise die schraffiert dargestellte Fozzellenschicht 13. Das von der Lichtquelle 33 erzeugte Licht gelangt über einen geeigneten Lichtwellenleiter 34 in die Lichtleiterschicht 13 der Prozessorebene 29 und wirkt von hier aus auf die Fozzellenschicht 13 ein. In der Fozzellenschicht 13 entsteht daraufhin eine elektrische Spannung, die der Stromversorgung der einzelnen Chips dient. Von dieser Spannung wird ein elektrisches Kontrollsignal abgeleitet und der Energieversorgung 30 als Bezugsgröße über eine Leitung 35 zugeführt.

Fig. 10 zeigt eine Draufsicht eines optischen Knotens 26. Dieser stellt praktisch eine Anordnung von kreissegmentförmigen Fozdioden 36 dar, die gemeinsam eine geschlossene Kreisfläche überdecken. Das Zentrum 37 des Kreises ist aus fertigungstechnischen Gründen ausgespart. Durch eine diametrale Trennlinie 38 sind die Dioden 36 in zwei Gruppen eingeteilt, und zwar in Sende-Dioden 36a, 36b, 36c,... und Empfangs-Dioden, die mit 36₁, 36₂, 36₃,... bezeichnet sind. Die einzelnen Sende-Dioden 36a, 36b, 36c,... arbeiten auf unterschiedlichen Wellenlängen (Farben), wobei jeder Sende-Diode eine Empfangs-Diode zugeordnet ist, die auf der gleichen Wellenlänge arbeitet. Topografisch gesehen besteht die Anordnung aus mehreren Sendedioden und Empfangsdioden von jeweils kreissegmentförmigem Umriß, wobei die einzelnen Farbsegmente eine farbcharakteristische Dotierung aufweisen und getrennt über entsprechende mikroelektronische Leitungen ansteuerbar sind. Die Licht emittierenden Flächen der Diodenanordnung sind durch einen hier nicht gezeigten Kopplungskörper abgedeckt,

der die optische Verbindung zwischen den einzelnen Dioden 36 und den Lichtwellenleitern 27 herstellt. Mittels dieser optischen Knoten kann jeder Prozessor 11 Daten mit den anderen Prozessoren des Netzwerks im kombinierten Farbmultiplex- und Zeitmultiplex-Verfahren austauschen.

Fig. 11 zeigt eine Ansicht eines Anzeigefeldes (Display) 39, das auf einer Trägerplatte 40 angeordnet ist. Auf dieser Platte 40 ist eine Vielzahl streifenförmiger vertikal verlaufender einzeln ansteuerbarer Leuchtdioden (LED) B,G,R; B,G,R; B,G,R; ... angeordnet, wovon hier nur wenige gezeigt sind. Diese in dichter Folge angeordneten Dioden B,G,R bedecken in einer ersten Schicht die gesamte optisch nutzbare Fläche des Anzeigefeldes 39. Dabei stehen die Bezugszeichen B,G,R für Blau, Rot und Grün. Die Gesamtbreite einer derartigen Dreierheit von Dioden entspricht gerade der Breite eines Bildpunktes. Über dieser ersten Schicht liegt in einer zweiten Schicht eine Vielzahl streifenförmiger horizontal angeordneter Flüssigkristall (LCD)-Elemente 41. Auch diese einzeln ansteuerbaren Elemente bedecken in dichter Folge die gesamte sichtbare Fläche der Anzeige wobei die Breite eines Elementes 41 gerade der Höhe eines Bildpunktes entspricht. Zum Schutz der Anordnung ist eine dritte Schicht aus einem durchsichtigen Material vorgesehen, deren Oberfläche derart ausgebildet ist, daß darauf auftreffendes Außenlicht diffus reflektiert wird. Das Display 39 ist komplett dunkel gesteuert, wenn alle LCD-Elemente 41 an der Versorgungsspannung liegen. Das darzustellende Bild wird wie in einer Kathodestrahlbildröhre punkt- und zeilenweise zusammengesetzt, wobei auch hier jede Zeile aus einer Folge von Punkten besteht. Bei dem gezeigten Display entfällt jedoch eine punktweise komplizierte Punkt-Matrixverdrahtung, wie sie bei direktanzeigenden Halbleiter-Displays erforderlich ist. Durch einen Abschaltimpuls wird die Dunkelsteuerung der jeweiligen LCD-Zeile abgeschaltet, so daß die dahinter liegenden Leuchtdioden sichtbar werden. Dadurch wird ein Ausschnitt von der Höhe einer Bildzeile für die dahinter

liegenden LEDs durchlässig. Ein Bildpunkt wird gezeigt, wenn nun gerade eine Dreierheit B,G,R von Dioden angesteuert wird. Dabei ergeben sich Farbe und Helligkeit des Bildpunktes aus den Ansteuerungsverhältnissen. Ein Vorteil dieser Lösung besteht darin, daß der Bilddurchlauf mittels der LCD-Elemente und der wesentlich schnellere Zeilendurchlauf mittels der hierfür besser geeigneten LED-Elemente ausgeführt wird. Den punkt- und zeilenweisen Aufbau eines derartigen Bildes mit Ansteuerung der Farb- und Helligkeitswerte übernimmt eine entsprechende Bildansteuerung.

Fig. 12 zeigt das Display 39 nach Fig. 11 mit den LEDs B,G,R und den LCDs 41 mit seiner äußeren Beschaltung, bestehend aus einem Display-Prozessor 42, einer LED-Spaltensteuerung 43, einem LED-Spaltentreiber 44 sowie einer LCD-Zeilensteuerung 45 und einem LCD-Zeilentreiber 46. Zur Energieversorgung dieser Schaltung dient eine Stromversorgung 47, die von einer Fotovoltaik-Einheit 48 gespeist wird. Diese Einheit 48 wandelt Licht, das etwa von einer Lichtquelle direkt über die Lichtenergie-trägerebene eingestrahlt wird, in eine elektrische Spannung um, die von der Stromversorgung 47 stabilisiert und zu den elektronischen Einheiten 43 bis 46 weitergeleitet wird. Die Ansteuerung des Display-Prozessors 42 geschieht vom Prozessor-Netzwerk 1 her über die Lichtwellenleiter 27. Der Prozessor 42 steuert die pro Zeile ablaufenden Bildpunkte bezüglich Helligkeit und Farbe mittels der LED-Spaltensteuerung 43 und des Spaltentreibers 44. Die vertikale Ansteuerung der jeweiligen LCD-Bildzeile führt der Display-Prozessor 42 über die LCD-Zeilensteuerung 45 und den Zeilentreiber 46 durch. Dabei werden die betreffenden Steuersignale durch die jeweiligen Treiber auf den erforderlichen Leistungspegel angehoben. Mit diesem Display ist es möglich, seriell nacheinander ablaufende farbige Bilder auf einem Halbleiter-Flachbildschirm mit reduzierter Informationsrate und konstanter Bildauflösung in einfacher Form, wie beim Farbfernsehen darzustellen.

- 15 -

Fig. 13 zeigt einen Schnitt durch ein Tastatur-Element 49 mit einer Taste 50 und einer Kapsel 51 aus einem magnetisch abschirmenden Material, worin sich ein Trägermaterial mit einem Flüssigkristall 52 befindet. An den Kristall 52 ist seitlich je ein Lichtwellenleiter 27 angekoppelt. Oberhalb des Flüssigkristalls 52 befindet sich ein Hall-Generator 54, dessen elektrische Ausgänge mit den Anschlüssen des Kristalls 52 verbunden sind. An der Unterseite der Taste 50 ist eine Abschirmplatte 56 angeordnet, die einen Dauermagneten 53 trägt. Zwischen dem Dauermagneten 53 und dem Hallgenerator 54 wird ein Luftspalt durch eine Feder aufrecht erhalten. In nicht gedrückter Position der Taste 50 ist der Flüssigkristall 52 durchsichtig, so daß der von links in Pfeilrichtung eintretende Lichtstrom das Tastaturelement 49 ungehindert passieren kann. Wird nun die Taste 50 gedrückt, so nähert sich der Dauermagnet 53 dem Hallgenerator 54, so daß dieser eine Spannung an den Flüssigkristall 52 abgibt. Hierdurch wird der Flüssigkristall 52 dunkel gesteuert, so daß der besagte Lichtstrom unterbrochen wird. Damit sich eine deutliche Aus/Ein-Charakteristik ergibt, ist vorgesehen, daß ein schwellenspannungsabhängiges Hallgeneratorelement verwendet wird. Damit liegt ein rein optisch arbeitendes Tastaturelement vor, das weder durch magnetische noch durch elektromagnetische Einflüsse störbar ist.

Fig. 14 zeigt eine Schaltung einer auf den Tastaturelementen 49 basierenden Eingabe-Tastatur 57 mit einem Eingabefeld 66, auf dem die einzelnen Tasten 50 angeordnet sind. Die Energieversorgung der Schaltung erfolgt über einen Lichtwellenleiter 58, an den sowohl das Eingabefeld 66 als auch eine Fotozellen-Schicht 62 angeschlossen sind. Das Eingabefeld 66 ist über Lichtwellenleiter 59 mit einem Tastatur-Dekoder und Bus-Coder 60 verbunden. Die vom Bus-Coder 60 gelieferten Signale durchlaufen einen Modulator 63 und einen Lichtsender 64, der mit einem Lichtwellenleiter 65 in Verbindung steht. Die von der Fotozellen-Schicht 62 gelieferte Spannung wird einer Energieversor-

- 16 -

gung 61 zugeführt, die die Einheiten 60, 63 und 64 mit einer geregelten Betriebsspannung versorgt. In Ruhestellung der Tasten 50 erscheint an allen Lichtwellenleitern 59 ein Dauerlichtsignal. Wird jedoch eine Taste 50 angeschlagen, so leitet
5 der durch diese Taste 50 gesteuerte Lichtwellenleiter 59 einen Dunkelimpuls an den Tastatur-Dekoder 60 weiter, der daraufhin ein dem Zeichen der angeschlagenen Taste 50 entsprechendes elektrisches Digitalsignal erzeugt und an den Modulator 63 weiterleitet, der seinerseits mit dem Lichtsender 64 verbunden
10 ist. Den aktiven Teil dieses Senders 64 bildet eine Laser-Diode, die ihr Ausgangssignal an das vorbeschriebene Prozessor-Netzwerk 1 sendet. Die gezeigten Einheiten sind innerhalb des Tastaturgehäuses angeordnet. Ein entsprechendes flexibles Anschlußkabel enthält sowohl den Lichtwellenleiter 65 für die zu übermittelnden Signale als auch den Lichtwellenleiter 58 für die
15 Energieversorgung. Elektrische Zuleitungen existieren nicht. Damit ist auch diese Schaltung weder durch elektrische noch durch elektromagnetische Störungen beeinflussbar.

20 Fig. 15 zeigt ein Mikrofon 66 zur Eingabe von Sprachsignalen in ein Rechner-Netzwerk, wobei die Erzeugung und Übertragung der betreffenden Signale wieder weitgehend auf optischem Wege erfolgt. Eine Fotozellen-Schicht 67 steht über elektrische Leitungen mit einer Energieversorgung 68 in Verbindung, die
25 ihrerseits mit einer Laserdiode 69 verbunden ist. Zwischen der Laserdiode 69 und einer Empfangsdiode 71 ist eine lichtleitende Membran 70 derart eingespannt, daß in deren Ruhelage Licht von konstanter Intensität auf die Diode 71 fällt. Die von der Diode 71 abgegebene Spannung wird einem Demodulator 72 zuge-
30 führt. Das vom Demodulator 72 gelieferte Signal gelangt über einen Verstärker 73 an den Eingang eines Frequenzanalysators 74 und durchläuft danach folgende Funktions-Einheiten; eine Codier-Einheit 75, einen Modulator 76 und eine Sendediode 77. Bei Auftreffen eines akustischen Signals 78 auf die Membran 70
35 gerät diese in entsprechende Schwingungen, wodurch der Licht-

brechungsindex der Membran 70 analog diesem Signal verändert wird. Hierdurch ändert sich die Lichtdurchlässigkeit der Membran 70 in Pfeilrichtung 79, so daß auch der durch die Membran 70 fließende Lichtstrom im gleichen Maße verändert wird. Damit erscheint am Ausgang der Diode 71 eine mit dem akustischen Signal modulierte elektrische Spannung. Diese tonfrequente Spannung wird in den nachgeschalteten Funktions-Einheiten zur Eingabe in die Rechnerschaltung 1 aufbereitet.

Fig. 16 zeigt ein Sprachausgabeteil 80, im wesentlichen bestehend aus einer optischen Empfangsdiode 81, einem Decoderteil 82, einem Sprachgenerator 83, einem Verstärker 84, und einem Lautsprecher 85. Auch hier ist eine optronische Energieversorgung, bestehend aus einer Fotozellen-Schicht 86 und einer Stromversorgungseinheit 87 vorgesehen. Die hier nicht gezeigte Rechnerschaltung 1 steht mit dem Sprachausgabeteil 80 über einen Lichtwellenleiter 88 in Verbindung. Die Funktions-Einheiten 81 bis 84 werden, wie vorbeschrieben, durch die Stromversorgungseinheit 87 mit einer geregelten Betriebs-Spannung versorgt. Gelangen nun über den Lichtwellenleiter 88 digital modulierte Lichtsignale zur Empfangsdiode 81, so wandelt diese das Lichtsignal in ein entsprechendes elektrisches Signal um, das dem Decoder 82 zugeleitet wird. Dieser läßt nur solche Signale passieren, die für den Sprachgenerator 83 bestimmt sind, der dann die wiederzugebenden Worte aus einzelnen Silben zusammensetzt. Hierzu verfügt der Sprachgenerator 83 über einen Silben-Speicher, in dem für jede vorkommende Silbe ein charakteristischer Befehlssatz enthalten ist, der die Erzeugung der betreffenden tonfrequenten Signale bestimmt. Die betreffenden Frequenzspektren werden von einem internen Digital-/Analogwandler geliefert. Die Sprachwiedergabe erfolgt dann über den Verstärker 84 mit dem angeschlossenen Lautsprecher 85.

Fig. 17 zeigt einen zur Aufnahme bewegter farbiger Bildinhalte dienenden Bildsensor 89 mit einem Objektiv 90, einem CCD-Matrix-Bildsensor 91, und einem Bildprozessor 92, der über einen Bildcoder 93 und einen Lichtsender 94 mit einem Lichtwellenleiter 95 verbunden ist. Ferner steht der Bildprozessor 92 über einen Bilddecoder 96 und einen Lichtempfänger 97 mit einem Lichtwellenleiter 97 in Verbindung. Alle genannten Funktionseinheiten sind durch integrierte Halbleiterschaltkreise realisiert, zu deren Energieversorgung eine Fotozellen-Schicht 99 und eine Stromversorgungs-Einheit 100 vorgesehen sind. Der Datenaustausch mit der nicht gezeigten Rechner-Einheit 1 erfolgt über die Lichtwellenleiter 95 und 98. Zur Energieversorgung ist die Fotozellen-Schicht 99 über einen Energie-Lichtwellenleiter mit einer entsprechenden rechnerseitigen Lichtquelle verbunden.

Fig. 18 zeigt eine Massenspeicher-Anordnung 101 mit einer Schreib- Lese- und Lösch-Einheit 102, einer Schreib- Lese-Lösch-Steuerung 103 sowie einem Modulator-Coder 104 und einem Demodulator-Decoder 105, die jeweils über einen optischen Sender 106 bzw. Empfänger 107 über Lichtwellenleiter 108 und 109 mit einer optischen Datenleitung 110 verbunden sind. Die Versorgung mit Betriebsspannung erfolgt wieder über einen Leistungs-Lichtwellenleiter, der über eine Fotozellen-Schicht 112 eine Stromversorgungs-Einheit 113 speist. Diese Einheit versorgt sowohl die als integrierte Halbleiterschaltkreise ausgebildeten Funktionseinheiten 103 bis 107 als auch einen Antriebsmotor 115, dem eine Motorsteuerung 114 vorgeschaltet ist. Das eigentliche Speicherelement bildet ein außen mit einer Datenträgerschicht versehener zylindrischer Speicher-Rotor 116. Die Beschichtung des Rotors 116 zeichnet sich dadurch aus, daß hierauf abzuspeichernde Daten optisch schreib- und lesbar sowie magnetisch löschar sind. Der Zylinder 116 ist innerhalb der ebenfalls als Zylinder ausgebildeten Schreib- Lese- Löschar-Einheit 102 konzentrisch drehbar gelagert. Die Einzelheit B zeigt in einer seitlichen Projektion die konzentrische Anordnung der

Zylinder 102 und 116. Der nicht rotierende Zylinder 102 trägt auf seiner Innenseite eine Vielzahl von Schreib-Lasern 117, Lesedioden 118 und Löschköpfen 119, die der Datenträger-Schicht unmittelbar gegenüber liegend angeordnet sind. Diese optronischen bzw. elektromagnetischen Elemente 117 bis 119 sind in mikrominiaturisierter Form flächendeckend auf einer biegsamen Folie angeordnet, die auf der Innenseite des Zylinders 102 befestigt ist. Durch die Drehbewegung des Speicherzylinders 116 und die in axialer Richtung dicht gedrängte Anordnung der Zugriffselemente (Schreiblaser 117, Lesedioden 118) wird auf der Mantelfläche des Zylinders 116 eine sehr große Anzahl von Datenspuren definiert. Da die Zugriffselemente 116, 117 nicht nur in axialer sondern auch in Umfangsrichtung dicht gedrängt angeordnet sind, ist jeder Datenspur eine Vielzahl dieser Elemente zugeordnet. Alle Zugriffselemente 117, 118 sowie die gleichmäßig darunter verteilten Löschköpfe 119 sind über die Steuerung 103 mit den Knoten des Prozessor-Netzwerks 1 in Parallelschaltung verbunden. Diese Ausbildung eines Massenspeichers weist außer dem Zylinder 116 und dem Motor 115 keine beweglichen Teile auf. Beim Suchen nach einem bestimmten abgespeicherten Datensatz sind alle Lesedioden 118 gleichzeitig aktiviert. Hierdurch ergeben sich äußerst kurze Zugriffszeiten. Von der Aktivierung eines Suchbefehls bis zum Auffinden des betreffenden Datensatzes vergehen nur Bruchteile einer Zylinder-Umdrehung.

Fig. 19 zeigt eine Schaltung eines kombinierten Meßwertgebers 120 mit einem Piezo-Druck-Sensor 121 und einem Widerstands-Temperatur-Sensor 122. Beide Elemente sind über einen AD/Wandler 123, einen Coder/Decoder-Modulator 124 sowie eine Sende-Diode 125 und eine Empfangs-Diode 126 an einen mit dem Prozessor-Netzwerk in Verbindung stehenden Lichtwellenleiter 127 angeschlossen. Die als integrierte Halbleiterschaltkreise ausgebildeten Einheiten 123 bis 126 erhalten ihre Betriebsspannung von einer Stromversorgungs-Einheit 128, die von einem Energie-

- 20 -

Lichtwellenleiter 129 über eine Fotozellen-Schicht 130 gespeist wird. Der Druck-Sensor 121 liefert eine dem festgestellten Druck proportionale elektrische Spannung an den A/D-Wandler 123, der daraufhin in bekannter Weise ein der anliegenden Spannung entsprechendes Digital-Signal erzeugt und über die weiteren Einheiten 124 bis 126 in den Lichtwellenleiter 127 einleitet. Der Temperatur-Sensor 122 bildet mit drei Widerständen 131,132,133 eine von der Stromversorgungs-Einheit 128 versorgte elektrische Brückenschaltung, deren Ausgangsleitung mit einem weiteren Eingang des Wandlers 123 verbunden ist. Die Wirkungsweise der hierbei angewendeten optronischen Datenübertragung ist nachfolgend näher erläutert.

Fig. 20 zeigt die Struktur der innerhalb des Prozessor-Netzwerks übertragenen Signale. Es werden grundsätzlich drei Arten von Informationen übertragen, nämlich die Prozessor-Funktions-Adressen, die Daten-Prioritäts-Information und die Dateninhalts-Information. Die Dateninhalts Information ist in die Daten-Adresse und den Dateninhalt selbst unterteilt. Mit diesen drei Informations-Arten wird der gesamte Datenverkehr innerhalb des Multiprozessor-Netzwerks abgewickelt.

Die Prozessor-Funktions-Adressen sind erforderlich, um bestimmte Aufgabengebiete geordnet in selbstorganisierter Form im neuronalen Netzwerk parallel bearbeiten zu können. Hierzu sind bestimmte sogenannte Mainprozessor-Bereiche definiert, die jeweils speziellen Aufgaben-Bereichen zugeordnet sind. Ein derartiges Aufgabengebiet ist beispielsweise die Verarbeitung mittels der Tastatur eingegebener Daten. So werden beispielsweise bei jeder Dateneingabe über die Tastatur sechs bestimmte Prozessoren mit ihrer Prozessor-Funktions-Adresse in Form eines festen Farbmultiplex-Codes als primär zugeordnete Prozessoren angesprochen. Diese Prozessoren prüfen hierbei in einer Auswahl fünf aus sechs, ob die nachfolgenden Daten korrekt übertragen

werden. Weicht ein Prozessor mit seinem Prüf-Ergebnis vom Ergebnis der übrigen fünf ab, wird er als fehlerhaft abgeschaltet. Die verbleibenden Prozessoren prüfen sich nach dem gleichen Schema weiter und bestimmen einen benachbarten Standard-Prozessor zum Mainprozessor, der jetzt die Aufgaben des abgeschalteten Prozessors übernimmt.

Die Daten-Prioritäts-Information stellt einen weiteren wichtigen Übertragungsparameter insofern dar, als sie den Wichtigkeitsgrad, also die Priorität einer Information angibt. Es wird zunächst zwischen Daten von hoher und Daten von niederer Priorität unterschieden. Daten hoher Priorität werden direkt mit 50% der Farbträger-Amplitude ohne Basisträgeranteil gesendet. Daten von niederer Priorität werden auf 50% konstanter Farbträger-Amplitude aufmoduliert. Durch diese Maßnahme wird erreicht, daß die weit durchmodulierten Signale 134, also die Signale mit hoher Priorität, seitens der Decoder-Schaltungen des neuronalen Netzwerkes eine Vorrangbehandlung erfahren.

Die Dateninhalts-Information besteht aus zwei Teilen, nämlich einer spezifischen Daten-Adresse sowie den eigentlichen zu übertragenden Daten. Dabei bildet jeder Teil ein digitales Datentelegramm von bestimmter Bitlänge.

Die vorgenannten drei Datentypen stellen die Grundlage der gesamten sich selbst organisierenden Daten-Übertragung innerhalb und außerhalb des neuronalen Netzwerks dar, dessen Wirkungsweise wie folgt erläutert wird. Für diesen Rechner existiert kein übergeordnetes Gesamt-Ablauf-Programm sondern die Datenverarbeitung und das Datenmanagement vollziehen sich nach vom Rechner selbst organisierten Verfahrensmustern. Jeder einzelne Prozessor besitzt sein eigenes Betriebssystem, das ihn in die Lage versetzt, die interne Programmablauf-Organisation durchzuführen

- 22 -

und die externe Kommunikation mit den anderen Prozessoren zu organisieren. Das jeweilige prozessoreigene Betriebs-System ist in einem entsprechenden EEPROM abgelegt.

5 Um Datenkollisionen auf dem optischen Datenbus-Netzwerk zu vermeiden, werden nach jedem Informationszyklus, bestehend aus den Durchgängen der Prozessor-Funktions-Adresse, der Prioritäts-Information, und der Dateninhalts-Information alle Prozessoren wieder auf Empfang geschaltet. Hat ein Mainprozessor-Bereich
10 Informationen mit Datenpriorität 1, so sendet er zunächst seine Prozessor-Funktions-Adresse in das Busnetzwerk und startet diese mit einem Einzelfarbträgersignal, das sofort als Sende-Sperrsignal für alle anderen Mainprozessoren gilt. Damit alle im Prioritätslevel 1 arbeitenden Prozessoren den Zugriff zum Datenbus erhalten, wird dieses sogenannte Schlüssel-Signal allen Mainprozessoren zyklisch zugeteilt. Nach einem kompletten Durchgang
15 wird der Bus für den Datenverkehr der Prioritätsebene 2 geräumt. Diese arbeitet nach dem gleichen Verfahren, kann aber nach Abschluß ihres Durchgangs bei Vorliegen von Prioritätsdaten mit Level 1 wieder auf eine freie Prioritätslücke warten. Um nicht endlos beim Aufkommen vieler Daten vom Prioritätslevel 1 warten zu müssen, wird jedoch nach dreimaligem Durchgang für Level 1 ein freier Durchgang für Level 2 festgelegt. Die verschiedenen Dateninhalts-Informationen werden hierbei im Parallelverfahren
20 über alle vorhandenen Farbträger übertragen. Somit ist eine maximale Durchsatzrate über das Busnetz gewährleistet.

Werden nunmehr komplexere Aufgaben, wie die der Mustererkennung, beispielsweise der Sprachanalyse, durchgeführt, so wird zunächst
30 der für diese Aufgabe wie vorbeschrieben festgesetzte Bereich von Mainprozessoren angesprochen. Diese schalten nun so lange frei verfügbare Standard-Prozessoren in die Aufgabenstellung ein, bis deren Anzahl für eine sinnvolle Echtzeitbearbeitung im Parallelbetrieb ausreicht. Hierbei werden beispielsweise vorgegebene
35 Bilder oder Muster parallel segmentiert und zunächst in

die freien RAM's der Main- und Standard-Prozessoren übernommen,
die dann ihrerseits ihnen zugeordnete Segmentsektoren und Spuren
auf dem opto-magnetischen Massenspeicher anhand des vorbeschrie-
benen Kommunikations-Verfahren ansprechen. Hier werden dann die
5 verarbeiteten Musterfolgen dauerhaft abgespeichert. Soll der
Rechner sich innerhalb eines Lernvorganges an eine bestimmte
Bildmusterabfolge durch Vergleich mit einer vorgegebenen Muster-
abfolge erinnern können, so vergleicht er pro Prozessor das im
Massenspeicher befindliche Mustersegment mit dem im RAM befind-
10 lichen Segment. Abweichungen können somit als fehlerhaft erkannt
und eliminiert werden.

Eine nicht gezeigte Ausgestaltung der Erfindung besteht darin,
daß der Prozessor-Chip 11 von quadratischer oder rechteckiger
15 Form ist.

Eine weitere nicht gezeigte Ausgestaltung der Erfindung besteht
darin, daß der Speicherzylinder 116 außen und innen mit einer
Datenträgerschicht versehen ist.
20

25

30

35

Patentansprüche

1. Digitalrechner mit einer Multiprozessor-Anordnung, wobei
jeder Prozessor als hoch integrierter Rechner-Chip auf Halblei-
5 terbasis ausgebildet ist, der mit den weiteren in gleicher Weise
ausgebildeten Prozessoren der Anordnung über ein hochgradig
vermaschtes aus Maschen und Knoten bestehendes Leitungssystem
zur Übertragung digitaler Signale in Verbindung steht und an den
Rechner periphere Geräte, wie Tastaturen, Datenspeicher, Bild-
10 schirme, Bildsensoren, Sprachanalyse-Einheiten, Sprachsynthese-
Einheiten sowie Meßwertgeber, angeschlossen sind, dadurch g e -
k e n n z e i c h n e t, daß das Leitungssystem als Lichtwellen-
leiter-Netzwerk ausgebildet ist, wobei jedem Knoten (26) ein
Prozessor (11) zugeordnet und an diesen über einen optischen
15 Sender (21) und einen optischen Empfänger (22) angekoppelt ist.

2. Rechner nach Anspruch 1, dadurch g e k e n n z e i c h -
n e t, daß der Prozessor-Chip (11) eine metallische Träger-
Schicht (12) und eine Träger-Schicht (16) mit einer dazwischen
20 angeordneten Schaltungsträger-Schicht (15) aufweist, wobei die
Schaltungsträger-Schicht (15) von einer geschlossen umlaufenden
metallischen Rand-Schicht (25) umgeben ist, die mit den Schich-
ten (12) und (16) allseitig metallisch verbunden ist.

3. Rechner nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der optische Knoten (26) zentral auf der Träger-Schicht (16) angeordnet ist und mit Lichtwellenleitern (27) optisch in Kontakt steht, die in vertiefte Bahnen der Schicht (16) eingefügt sind.

4. Rechner nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der Prozessor-Chip (11) eine Lichtleiter-Schicht (13), bestehend aus einem optisch durchsichtigen Material, und eine Fotozellen-Schicht (14) derart aufweist, daß über die Lichtleiter-Schicht (13) auf die Fotozellen-Schicht (14) fallendes Licht hier eine zur Stromversorgung des Prozessor-Chips (11) dienende elektrische Spannung hervorruft.

5. Rechner nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß der optische Knoten (26) eine Vielzahl von Empfangsdioden (36a, 36b, 36c ...) und Sendedioden (36₁, 36₂, 36₃, ...) aufweist, die paarweise auf der gleichen Farbfrequenz arbeiten.

6. Rechner nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß der Prozessor-Chip (11) eine sechseckige Umrißform aufweist.

7. Rechner nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die Maschen des Lichtleiter-Netzwerks die Form gleichseitiger Dreiecke aufweisen.

8. Rechner nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß eine Vielzahl von Prozessor-Chips (11) formschlüssig zu einer Prozessor-Ebene zusammengefügt sind, wobei die Chipgrenzen durch die metallische Randschicht (25) gebildet werden.

- 5 9. Rechner nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß eine Vielzahl von Prozessor-Ebenen zu einem Block vereinigt ist, wobei an geeigneten Stellen optische Datenwege zwischen den einzelnen Prozessor-Ebenen bestehen.
- 10 10. Rechner nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß der Bildschirm (39) aus einer ersten Schicht von streifenförmigen, einzeln ansteuerbaren Leuchtdioden und einer zweiten Schicht ebenfalls streifenförmiger einzeln ansteuerbarer Flüssigkristall-Elemente (41) besteht, die gegenüber den Leuchtdioden um 90° gedreht sind.
- 15 11. Rechner nach Anspruch 10, dadurch gekennzeichnet, daß die Gesamtzahl der Leuchtdioden aus einzelnen Gruppen besteht, die sich durch die Wellenlänge des ausgesendeten Lichtes unterscheiden.
- 20 12. Rechner nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, daß die Tastatur (66) aus einer Vielzahl von Tasten (50) mit je einem in den Lichtstrom eines Lichtwellenleiters (27) eingeschalteten Flüssigkristall-Element (52) besteht, wobei jede Taste (50) mit einem Dauermagneten (53), einem Hallgenerator (54) und dem Flüssigkristall-Element (52) 25 derart zusammenwirkt, daß bei Anschlag der Taste (50) eine am Flüssigkristall (52) anliegende elektrische Spannung derart verändert wird, daß sich hierdurch eine Beeinflussung des Lichtstromes ergibt.

13. Rechner nach einem der Ansprüche 1 bis 12, dadurch gekennzeichnet, daß das Mikrofon (66) der Sprachanalyse-Einheit eine von einem Lichtstrom durchflossene Membran (70) derart aufweist, daß der Lichtstrom bei Auftreffen eines akustischen Signals auf die Membran, analog diesem Signal verändert wird.

14. Rechner nach einem der Ansprüche 1 bis 13, dadurch gekennzeichnet, daß der Datenspeicher als optomagnetischer Massenspeicher ausgebildet ist, wobei als Speicher-Element ein mit einem entsprechenden Speichermedium beschichteter rotierender Zylinder (116) vorgesehen ist, der eine Vielzahl von Datenspuren aufweist, wobei jeder Spur mindestens ein Schreibelement (117), ein Leseelement (118) sowie ein Löschkopf (119) zugeordnet ist.

15. Rechner nach Anspruch 14, dadurch gekennzeichnet, daß jeder Datenspur eine Vielzahl von Schreibelementen (117), Leseelementen (118) und Löschköpfen (119) zugeordnet ist.

16. Rechner nach einem der Ansprüche 1 bis 15, dadurch gekennzeichnet, daß der Meßwertgeber über optische Datenleitungen mit dem Prozessornetzwerk (1) verbunden ist.

17. Rechner nach einem der Ansprüche 1 bis 16, dadurch gekennzeichnet, daß die Funktionseinheiten des Meßwertgebers (120) als integrierte mit optronischen Sendern (125) und Empfängern (126) verbundene Halbleiterschaltkreise ausgebildet sind, wobei der Druck-Sensor (121) durch ein Piezo-Element und der Temperatur-Sensor durch ein Widerstands-Element realisiert ist und zur Stromversorgung der Schaltkreise eine Fotozellen-Schicht (130) vorgesehen ist, die mit einem Energie-Lichtleiter (129) in Verbindung steht.

10

18. Rechner nach einem der Ansprüche 1 bis 17, dadurch gekennzeichnet, daß für die Energieversorgung der peripheren Geräte jeweils eine Fotozellen-Schicht (14,99,112, 129) vorgesehen ist, die mit einem Energie-Lichtleiter (129) in Verbindung steht.

15

20

25

30

- 1/9 -

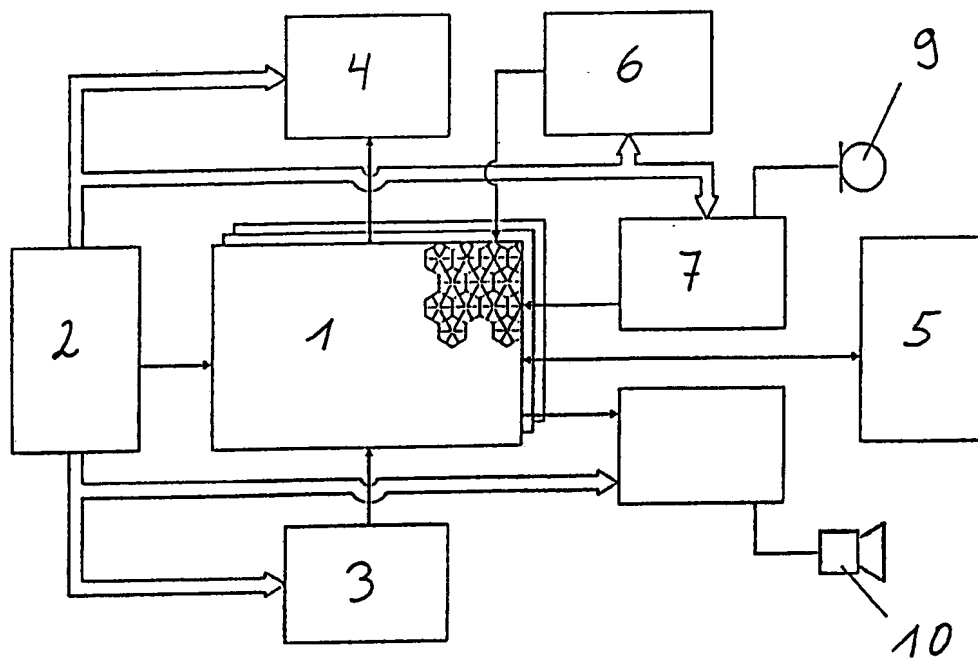


Fig.1

11

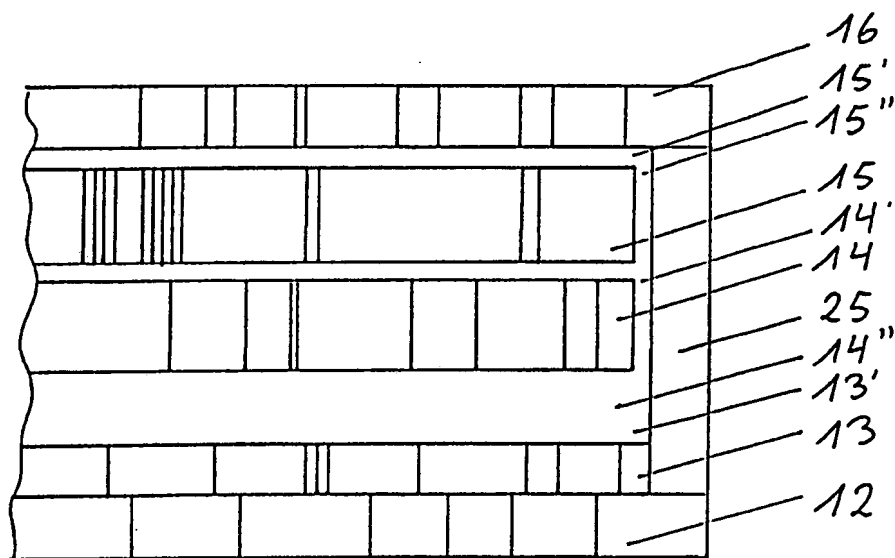


Fig.2

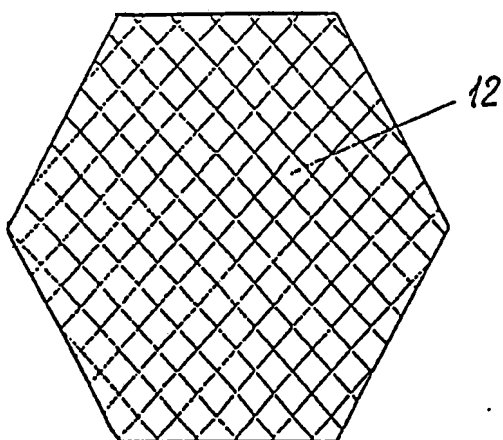


Fig. 3

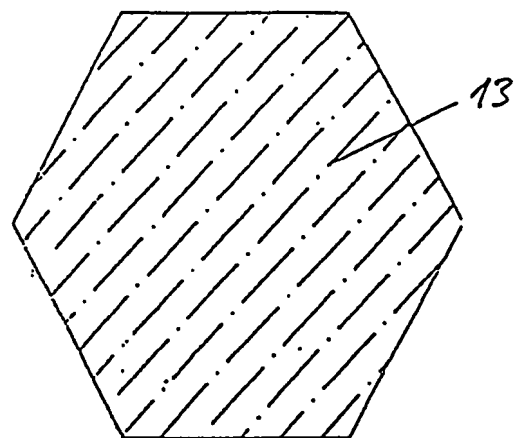


Fig. 4

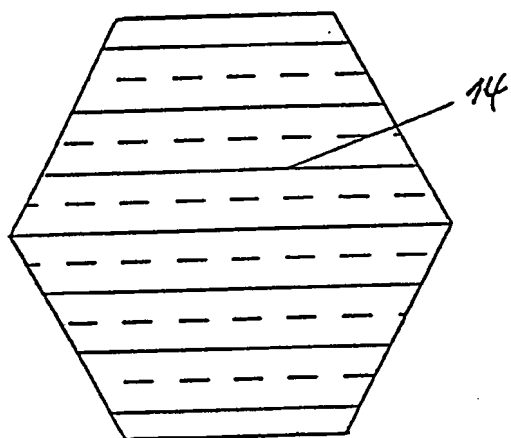


Fig. 5

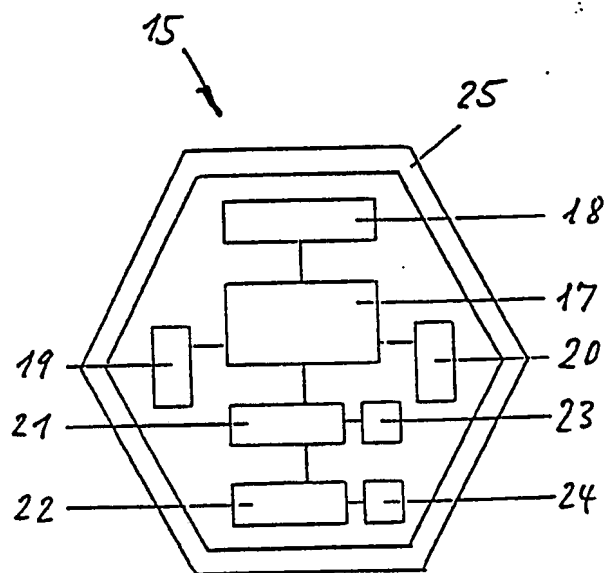
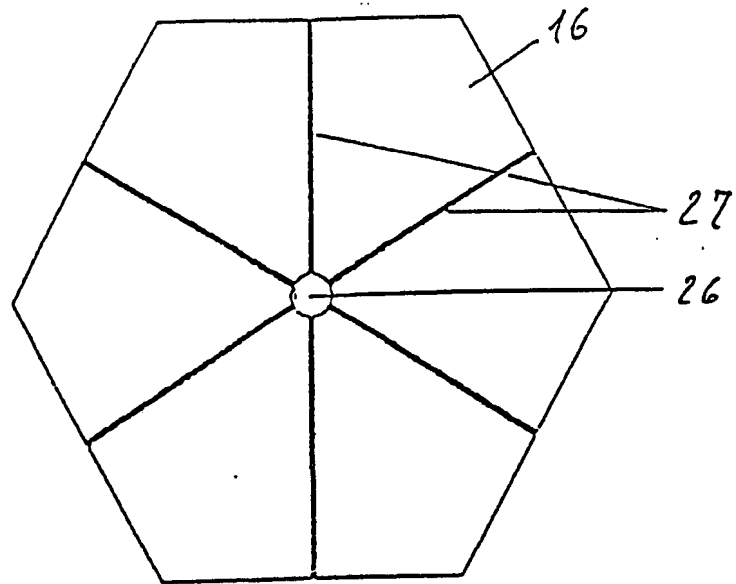
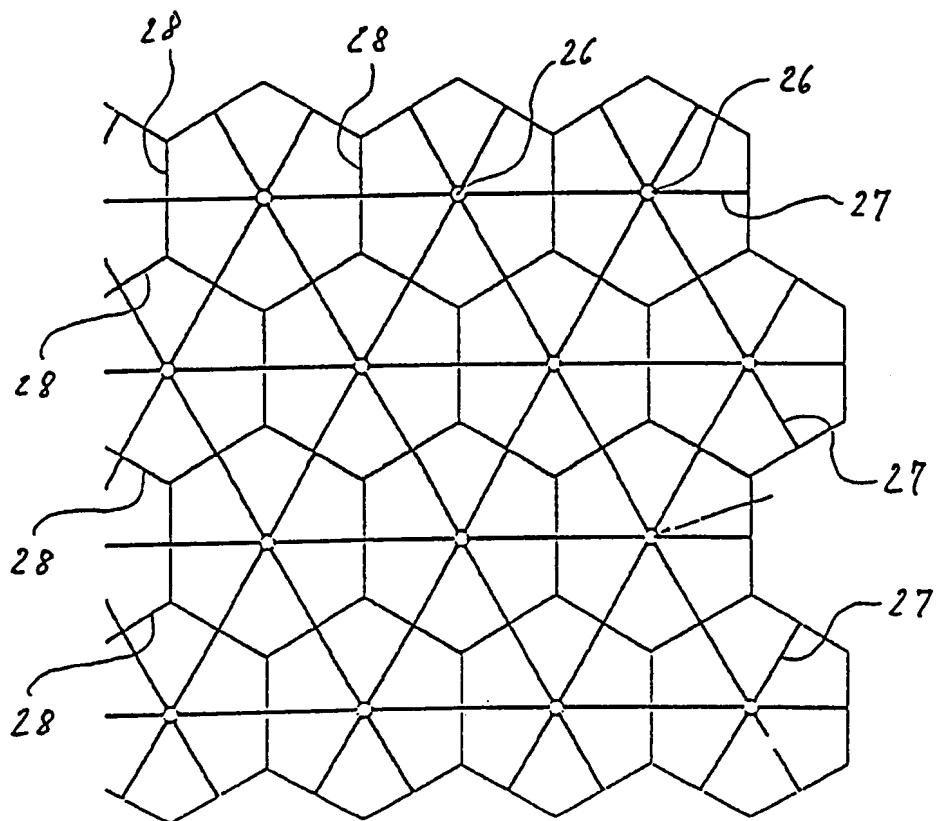
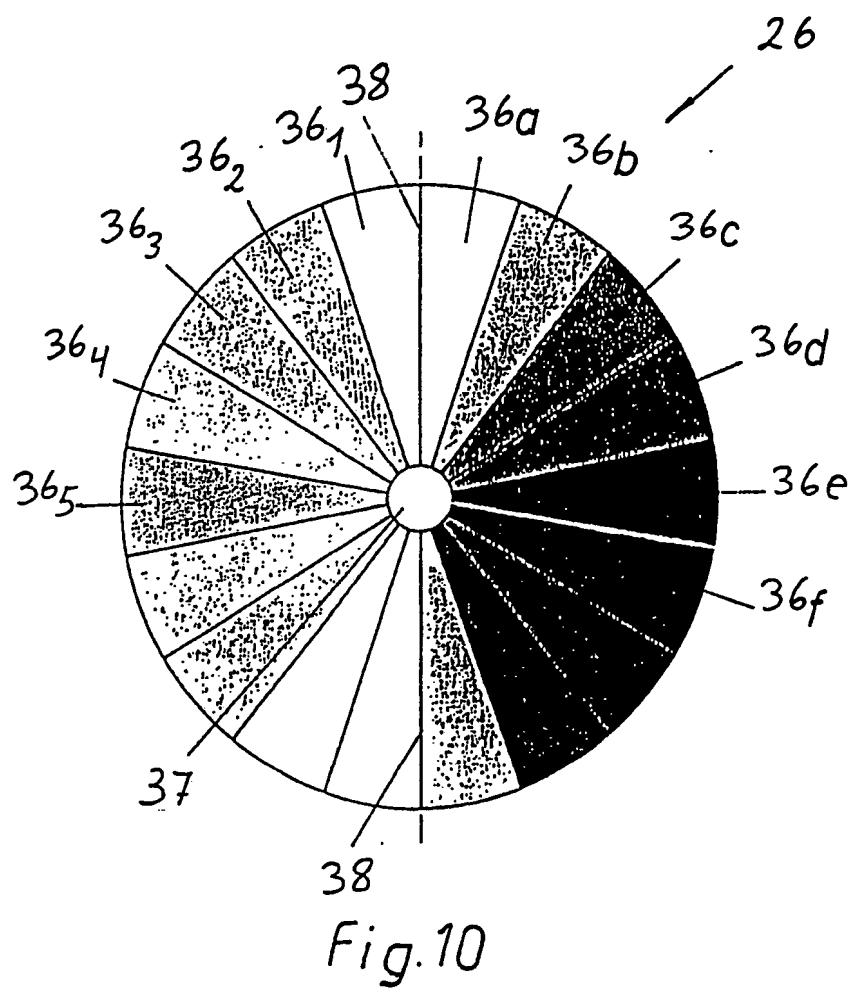
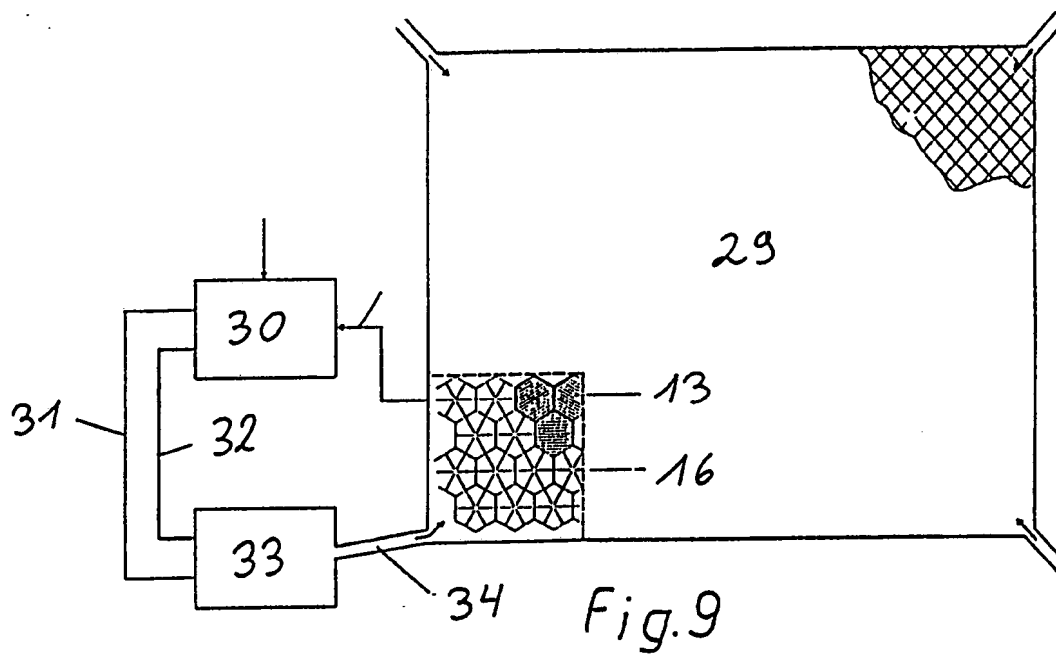


Fig. 6

*Fig. 7**Fig. 8*

- 4/9 -



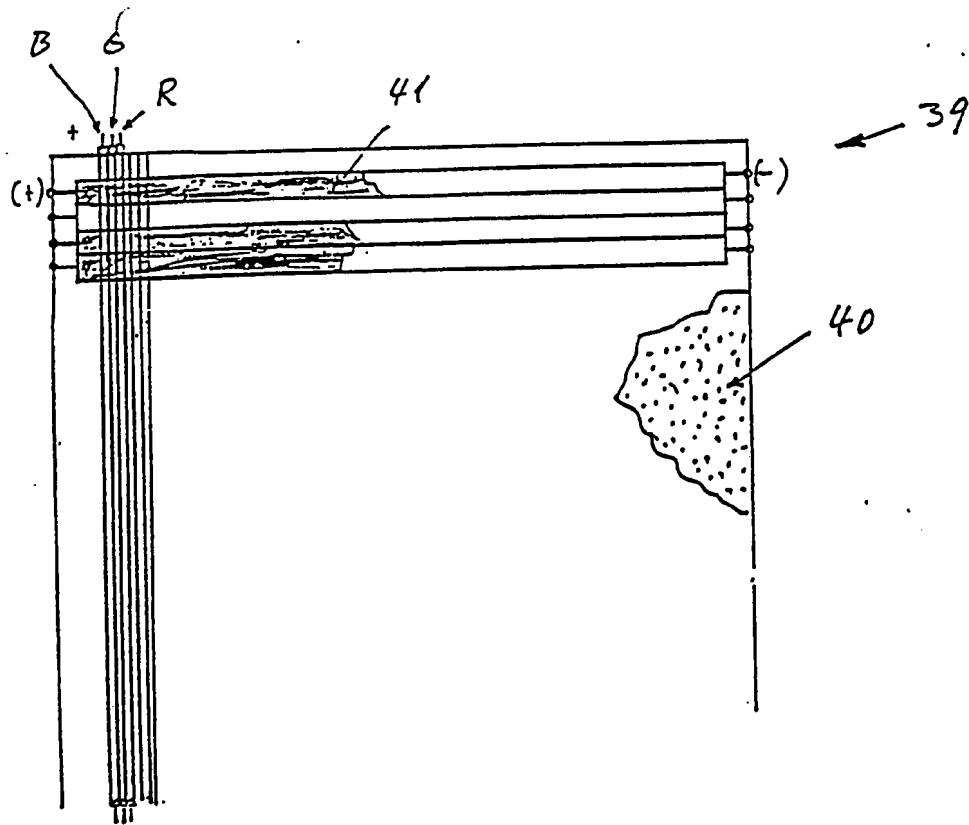


Fig. 11

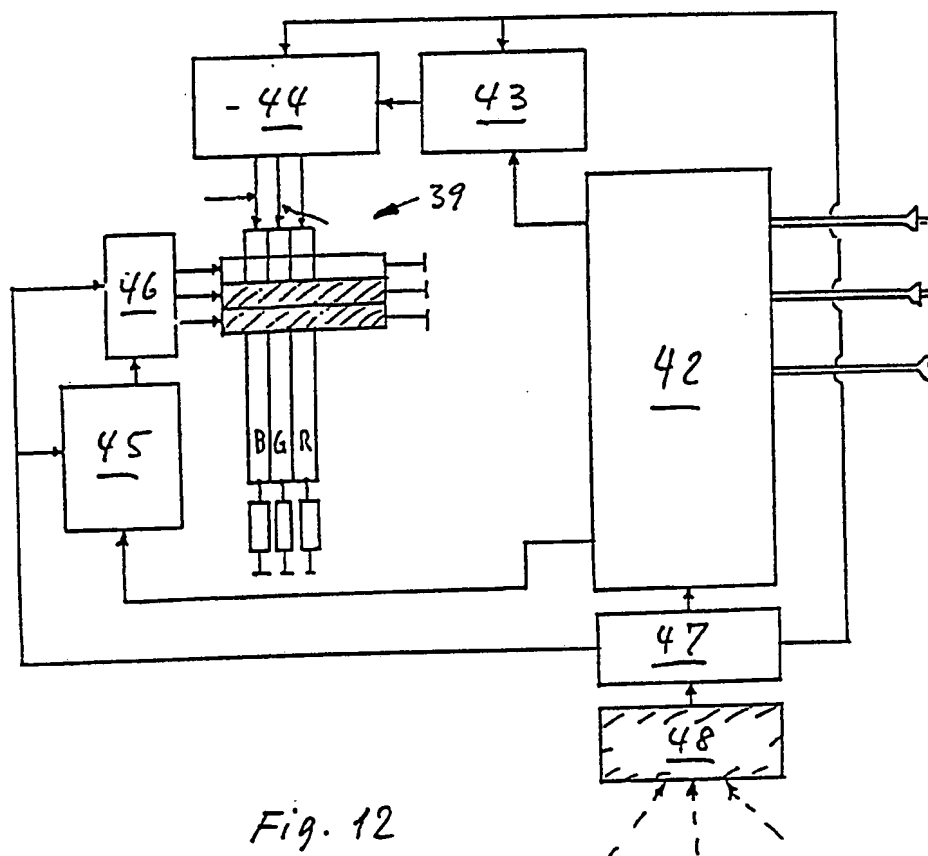
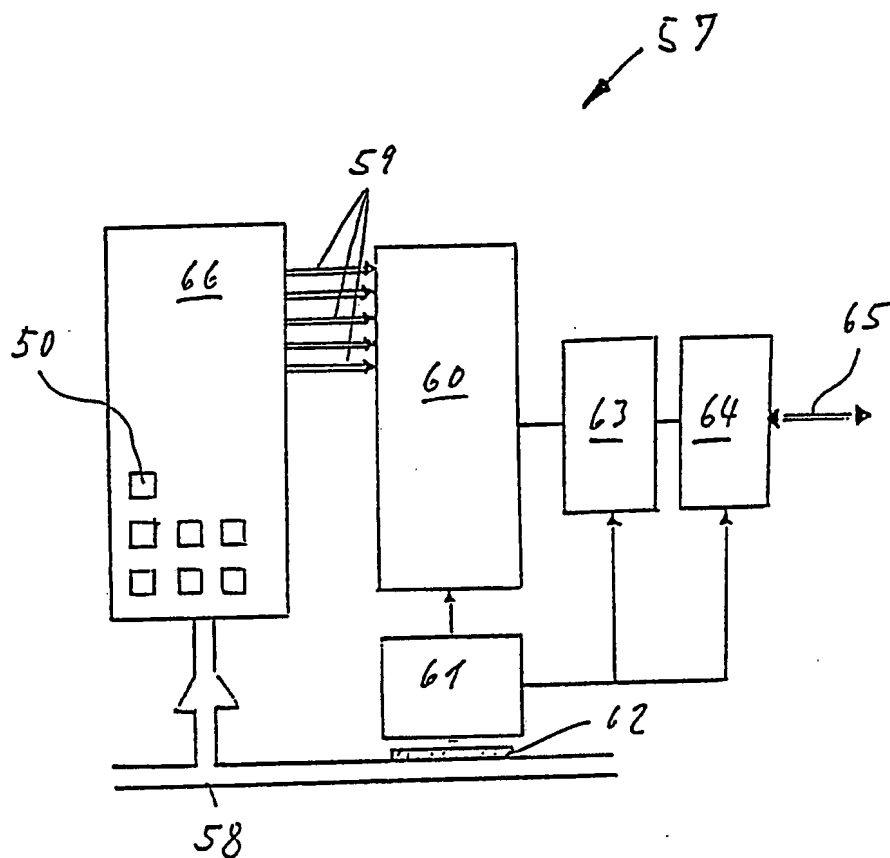
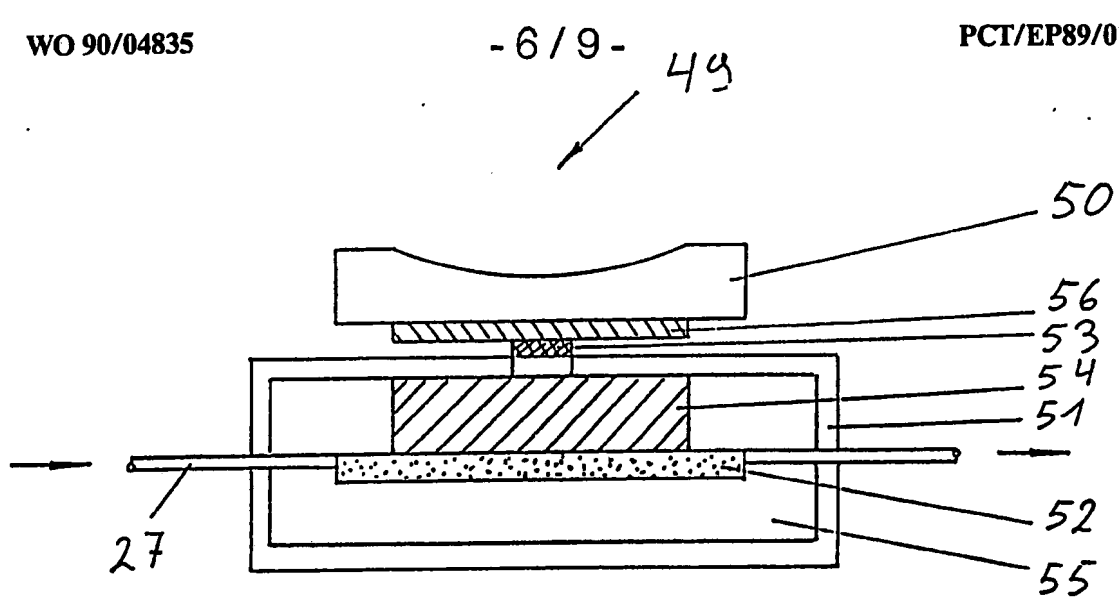


Fig. 12



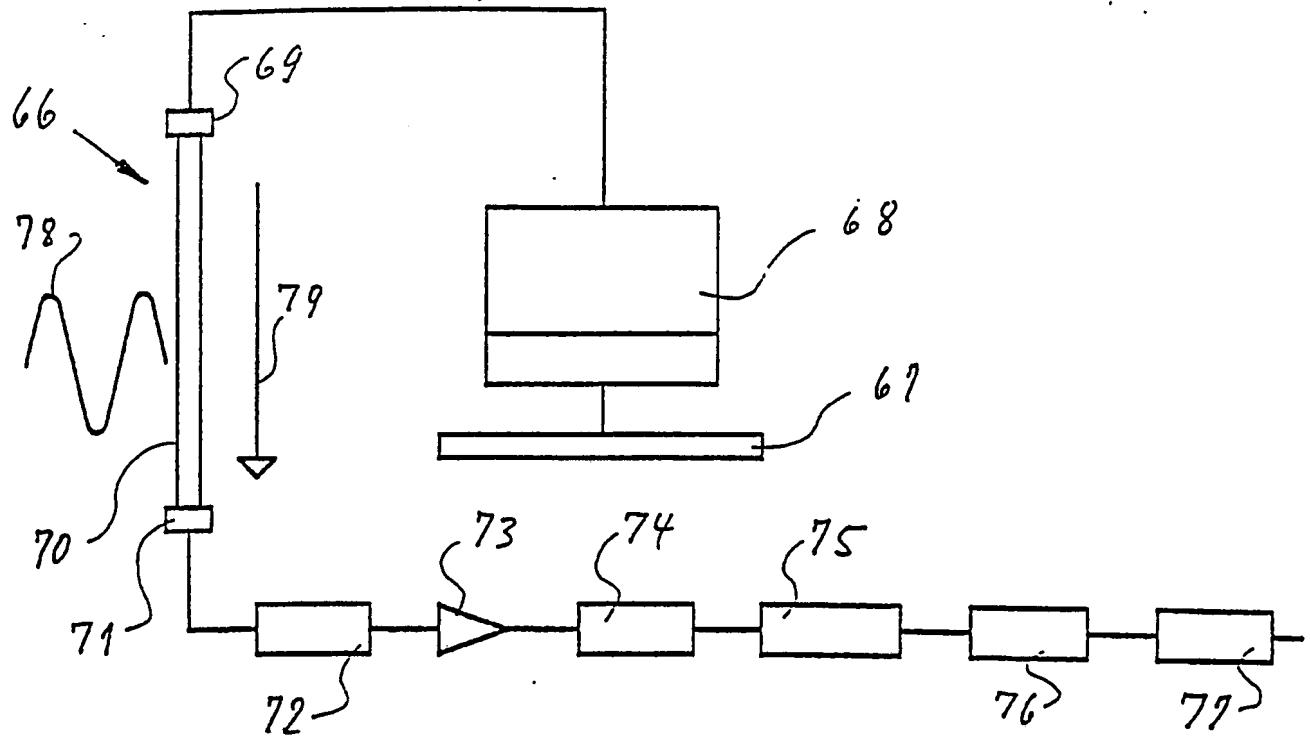


Fig. 15

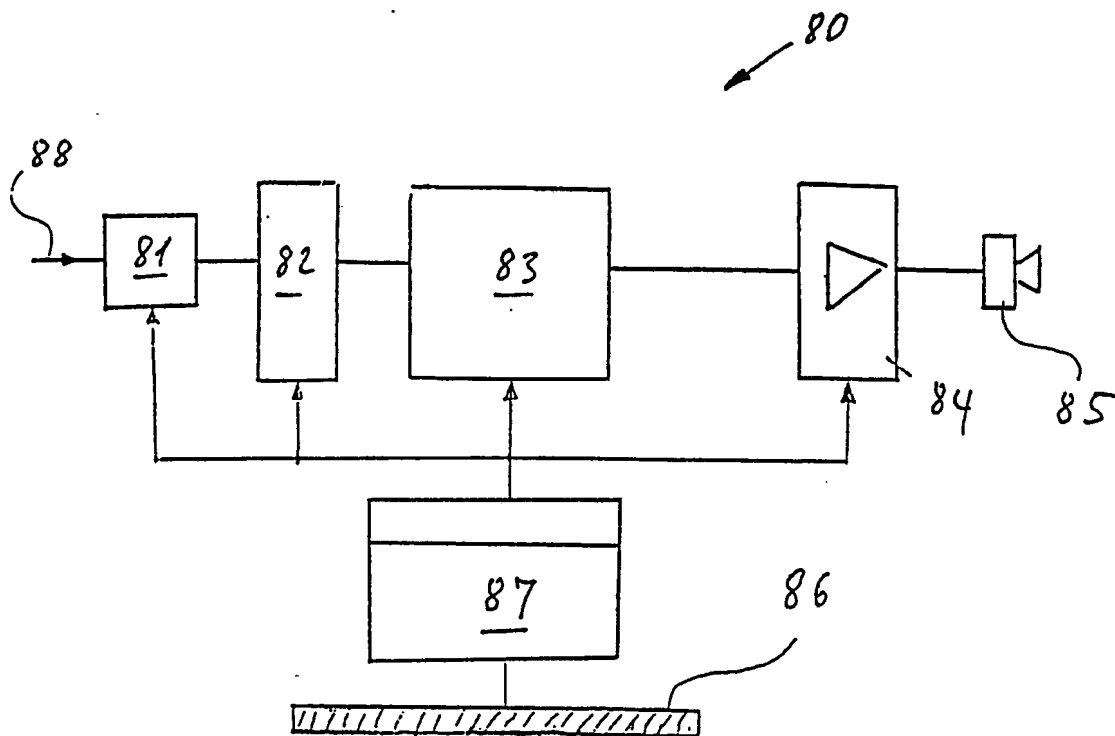


Fig. 16

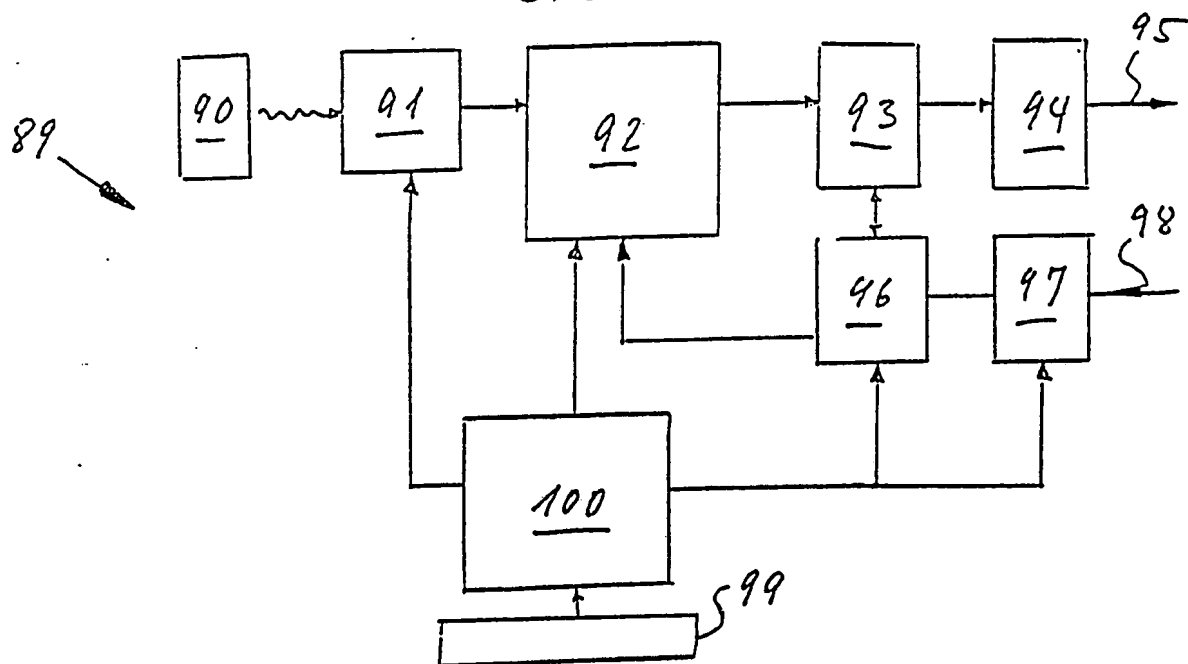


Fig. 17

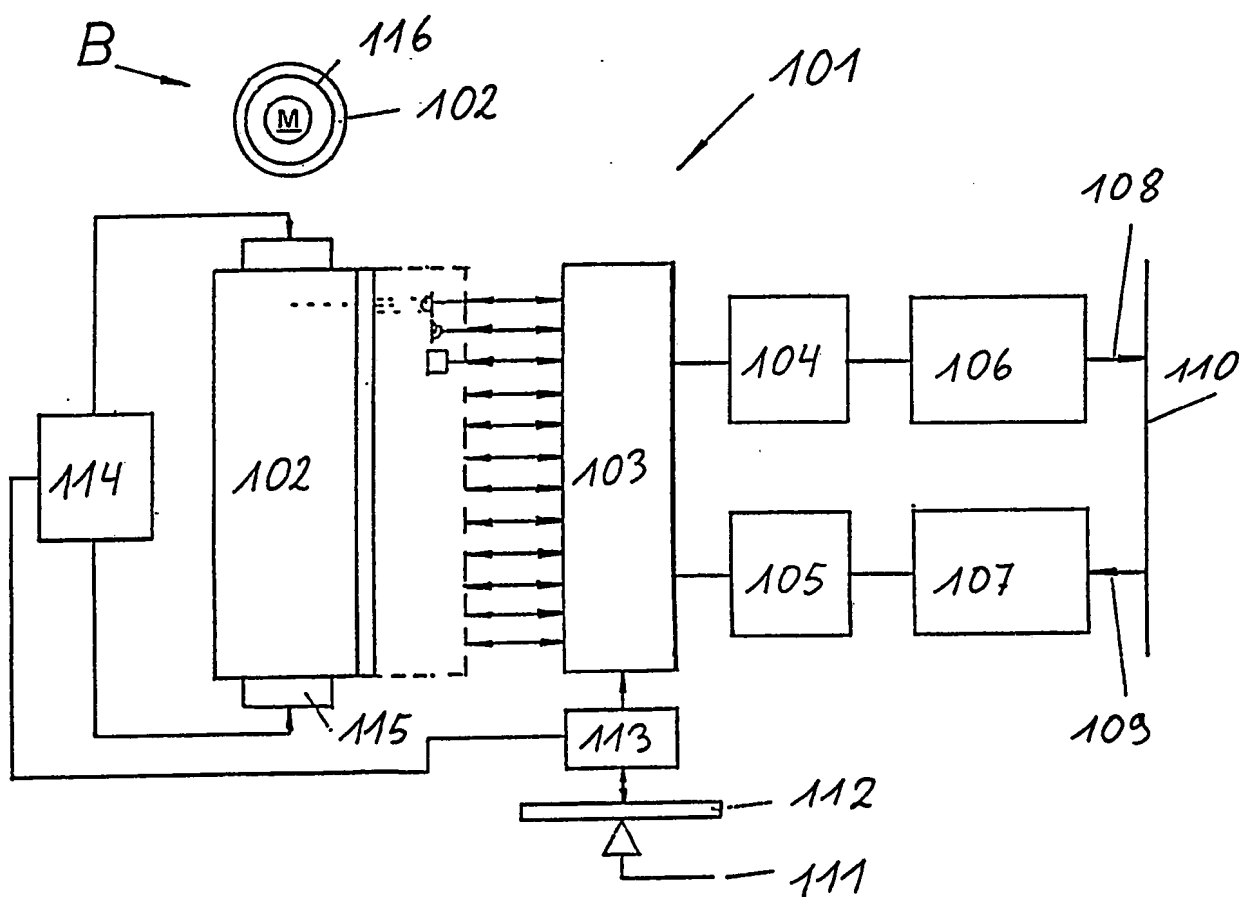


Fig. 18

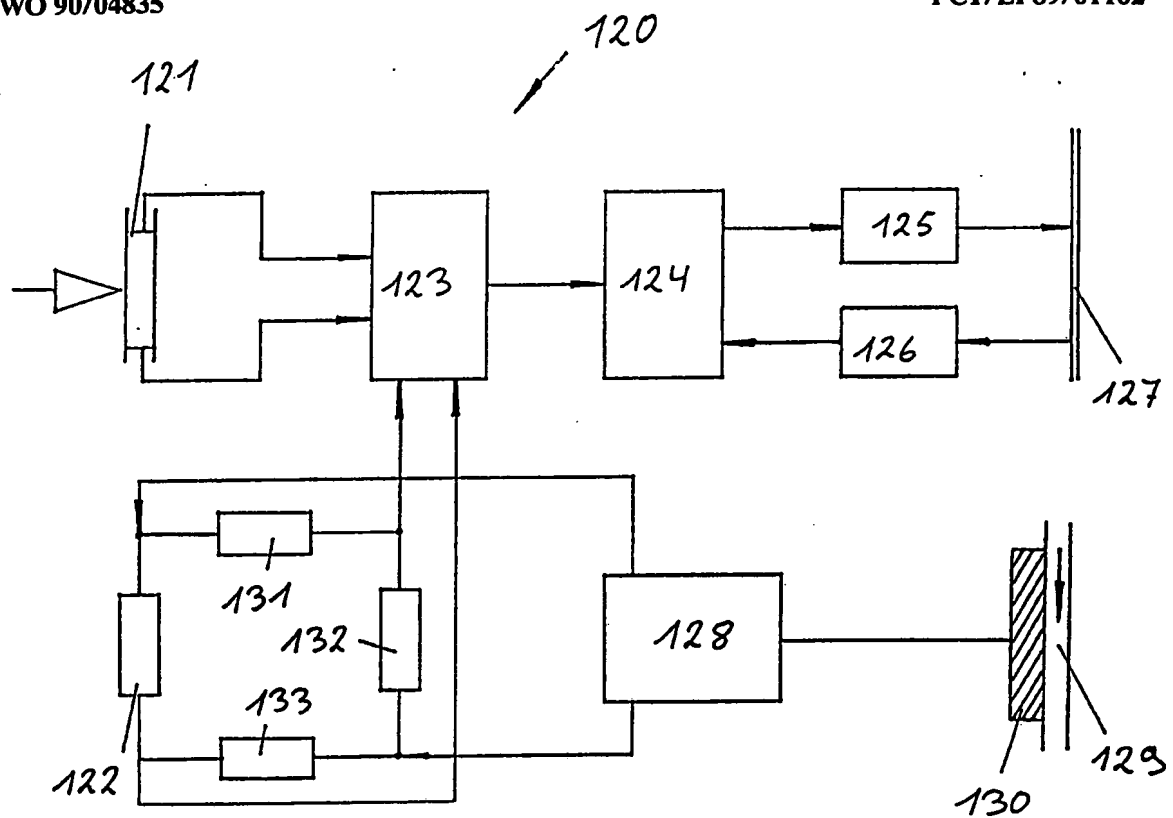


Fig.19

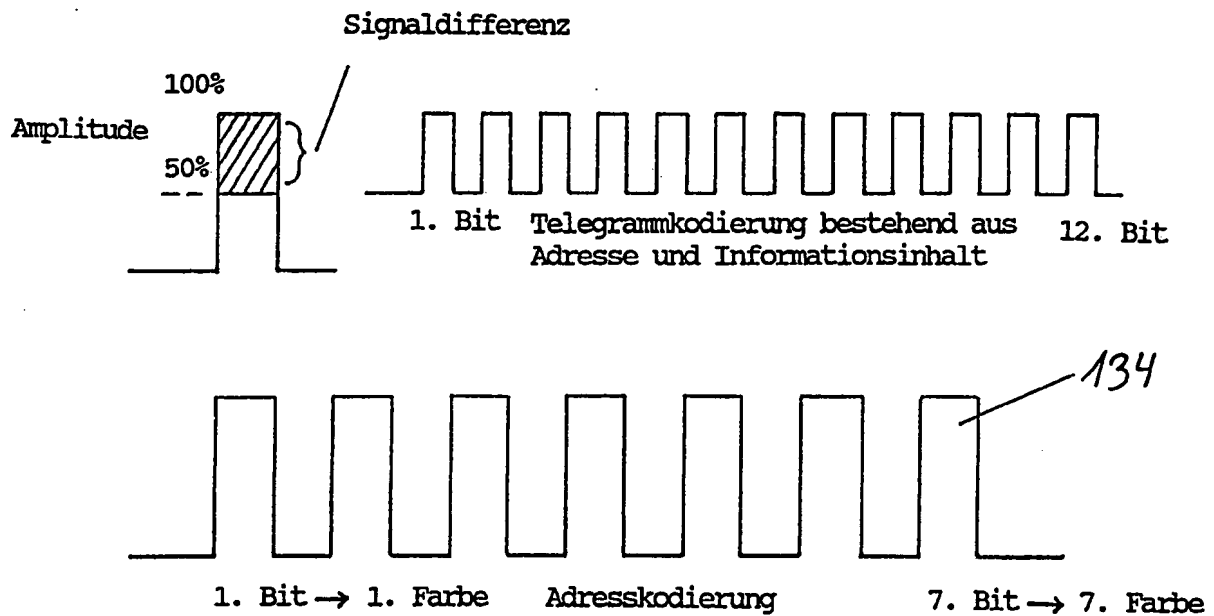


Fig.20

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) *		
According to International Patent Classification, (IPC) or to both National Classification and IPC		
Int. Cl ⁵ : G 06 F 15/80, G 02 B 6/42, G 06 E 1/00		
II. FIELDS SEARCHED		
Minimum Documentation Searched *		
Classification System	Classification Symbols	
Int.Cl ⁵	G 06 F 15, G 02 B 6, G 06 E 1, H 01 L 31	
Documentation Searched other than Minimum Documentation to the extent that such Documents are included in the Fields Searched *		
III. DOCUMENTS CONSIDERED TO BE RELEVANT *		
Category *	Citation of Document, ** with indication, where appropriate, of the relevant passages **	Relevant to Claim No. **
X	EP,A,0150929 (TEXAS INSTRUMENTS) 07 August 1985, see figures 1-5; page 1, line 1- page 7, line 7	1,9
X	Proceedings of the IEEE, Vol.72, No.7, July 1984, IEEE, J.W.Goodman et al.: "Optical inter-connections for VLSI systems", pages 850-866, see figures 11-15; page 861, left column, line 37- page 864, right column, line 5	1
Y	—	2-9,18
Y	US,A,4481423 (CONWAY) 06 November 1984, see figure 2; column 2, lines 5-34	2
Y	IBM Technical Disclosure Bulletin. Vol.26, No.4, September 1983, (New York, US), L.Balliet et al.: "Optical transmission system for interconnecting electronic units", pages 1793-1796, see figures 1-3; page 1793, line 1 - page 1796, line 16	3
Y	GB,A,2152749 (MORRISH) 07 August 1985, see page 2, lines 40-42	4
Y	Electronics Letters, Vol.17, No.22, 29 October 1981, (London, GB), K.Ogawa et al.: "Wavelength division	5 ./.
<p>* Special categories of cited documents: **</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"Δ" document member of the same patent family</p>		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search		Date of Mailing of this International Search Report
19 December 1989 (19.12.89)		20 March 1990 (20.03.90)
International Searching Authority		Signature of Authorized Officer
European Patent Office		

III. DOCUMENTS CONSIDERED TO BE RELEVANT (CONTINUED FROM THE SECOND SHEET)		
Category *	Citation of Document, with indication, where appropriate, of the relevant passages	Relevant to Claim No
	<p>multiplexing experiment employing dual-wavelength leds and photodetectors", pages 857-859, see figure 1; page 857, left column, line 1- right column, line 11</p> <p>—</p>	
Y	<p>Computer, Vol.20, No.4, April 1987, (New York, N.Y. US), D. Milutinović et al.: "The honeycomb architecture", pages 81-83, see figures 1, 4; page 81, right column, line 18- page 83, left column, line 6</p> <p>—</p>	6, 8
Y	<p>Applied Optics, Vol.25, No.10, 15 May 1986, Optical Society of America, (New York, US), T. Yatagai: "Cellular logic architectures for optical computers", pages 1571-1577, see figures 1, 2; page 1571, left column, line 1- page 1572, right column, line 3</p> <p>—</p>	7
A	—	1, 8
Y	<p>WO, A, 84/00822 (WESTERN ELECTRIC) 01 March 1984 see figures 1, 2; page 1, line 1, - page 6, line 32</p> <p>—</p>	9
Y	<p>The Bell System Technical Journal, Vol.58, No.7, September 1979, American Telephone and Telegraph Company, (US), R.C. Miller et al.: "Optically powered speech communication over a fiber lightguide", pages 1735-1741, see figure 1; page 1735, line 1- page 1737, line 5</p> <p>—</p>	18
A	<p>WO, A, 85/03179 (HASE) 18 July 1985, see figures 1, 2, 6; page 1, line 1- page 6, line 14; page 20, line 22- page 21, line 21</p> <p>—</p>	1, 3-5, 18
A	<p>EP, A, 0101872 (TOSHIBA) 07 March 1984, see figure 4; page 3, line 32- page 4, line 26</p> <p>—</p>	2

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

V. ☐ OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. ☐ Claim numbers because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claim numbers because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claim numbers because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. ☒ OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

- | | |
|-------------------|------------------|
| 1. Claims 1-9, 18 | 4. Claim 13 |
| 2. Claims 10, 11 | 5. Claims 14, 15 |
| 3. Claim 12 | 6. Claims 16, 17 |

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.
2. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:

3. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:

1-9, 18

4. ☐ As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- ☐ The additional search fees were accompanied by applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

**ANNEX TO THE INTERNATIONAL SEARCH REPORT
ON INTERNATIONAL PATENT APPLICATION NO.**

EP 8901162
SA 31548

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report. The members are as contained in the European Patent Office EDP file on 12/03/90
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A- 0150929	07-08-85	JP-A- 60169167	02-09-85
US-A- 4481423	06-11-84	None	
GB-A- 2152749	07-08-85	None	
WO-A- 8400822	01-03-84	US-A- 4533833	06-08-85
		CA-A- 1206576	24-06-86
		DE-T- 3390103	18-10-84
		EP-A- 0118467	19-09-84
		GB-A, B 2125620	07-03-84
		NL-T- 8320242	02-07-84
WO-A- 8503179	18-07-85	DE-A- 3400480	05-09-85
		DE-A- 3563806	18-08-88
		EP-A, B 0168444	22-01-86
		JP-T- 61500941	08-05-86
EP-A- 0101872	07-03-84	JP-A- 60001878	08-01-85
		JP-A- 59016389	27-01-84
		US-A- 4695858	22-09-87

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP.89/01162

I. KLASSIFIKATION DES ANMELDUNGSGEGENSTANDS (bei mehreren Klassifikationssymbolen sind alle anzugeben) ⁶		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
Int.Cl. ⁵ G 06 F 15/80, G 02 B 6/42, G 06 E 1/00		
II. RECHERCHIERTE SACHGEBIETE		
Recherchierter Mindestprüfstoff ⁷		
Klassifikationssystem	Klassifikationssymbole	
Int.Cl. ⁵	G 06 F 15, G 02 B 6, G 06 E 1, H 01 L 31	
Recherchierte nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Sachgebiete fallen ⁸		
III. EINSCHLÄGIGE VERÖFFENTLICHUNGEN⁹		
Art*	Kennzeichnung der Veröffentlichung ¹¹ , soweit erforderlich unter Angabe der maßgeblichen Teile ¹²	Betr. Anspruch Nr. ¹³
X	EP, A, 0150929 (TEXAS INSTRUMENTS) 7. August 1985 siehe Abbildungen 1-5; Seite 1, Zeile 1 - Seite 7, Zeile 7 --	1,9
X	Proceedings of the IEEE, Band 72, Nr. 7, Juli 1984, IEEE, J.W. Goodman et al.: "Optical inter- connections for VLSI systems", Seiten 850-866 siehe Abbildungen 11-15; Seite 861, linke Spalte, Zeile 37 - Seite 864, rechte Spalte, Zeile 5	1
Y	--	2-9,18
Y	US, A, 4481423 (CONWAY) 6. November 1984 siehe Abbildung 2; Spalte 2, Zeilen 5-34 -- . / .	2
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>* Besondere Kategorien von angegebenen Veröffentlichungen¹⁰:</p> <p>"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</p> <p>"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</p> <p>"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</p> <p>"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</p> <p>"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</p> </div> <div style="width: 45%;"> <p>"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</p> <p>"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</p> <p>"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist</p> <p>"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist</p> </div> </div>		
IV. BESCHEINIGUNG		
Datum des Abschlusses der internationalen Recherche 19. Dezember 1989		Absendedatum des internationalen Recherchenberichts 20. 03. 90
Internationale Recherchenbehörde Europäisches Patentamt		Unterschrift des bevollmächtigten Bediensteten T.K. WILLIS

III. EINSCHLÄGIGE VERÖFFENTLICHUNGEN (Fortsetzung von Blatt 2)		
Art *	Kennzeichnung der Veröffentlichung, soweit erforderlich unter Angabe der maßgeblichen Teile	Betr. Anspruch Nr.
Y	IBM Technical Disclosure Bulletin, Band 26, Nr. 4, September 1983, (New York, US), L. Balliet et al.: "Optical transmission system for interconnecting electronic units", Seiten 1793-1796 siehe Abbildungen 1-3; Seite 1793, Zeile 1 - Seite 1796, Zeile 16 --	3
Y	GB, A, 2152749 (MORRISH) 7. August 1985 siehe Seite 2, Zeilen 40-42 --	4
Y	Electronics Letters, Band 17, Nr. 22, 29. Oktober 1981, (London, GB), K. Ogawa et al.: "Wavelength division multiplexing experiment employing dual-wavelength leds and photodetectors", Seiten 857-859 siehe Abbildung 1; Seite 857, linke Spalte, Zeile 1 - rechte Spalte, Zeile 11 --	5
Y	Computer, Band 20, Nr. 4, April 1987, (New York, N.Y., US), D. Milutinović et al.: "The honeycomb architecture", Seiten 81-83 siehe Abbildungen 1,4; Seite 81, rechte Spalte, Zeile 18 - Seite 83, linke Spalte, Zeile 6 --	6,8
Y	Applied Optics, Band 25, Nr. 10, 15. Mai 1986, Optical Society of America, (New York, US), T. Yatagai: "Cellular logic architectures for optical computers", Seiten 1571-1577 siehe Abbildungen 1,2; Seite 1571, linke Spalte, Zeile 1 - Seite 1572, rechte Spalte, Zeile 3 --	7
A	--	1,8
Y	WO, A, 84/00822 (WESTERN ELECTRIC) 1. März 1984 siehe Abbildungen 1,2; Seite 1, Zeile 1 - Seite 6, Zeile 32 --	9
Y	The Bell System Technical Journal, Band 58, Nr. 7, September 1979, American Telephone and Telegraph Company, (US), R.C. Miller et al.: "Optically powered speech communication over a fiber lightguide", Seiten 1735-1741 siehe Abbildung 1; Seite 1735, Zeile 1 - Seite 1737, Zeile 5 --	18
A	WO, A, 85/03179 (HASE) 18. Juli 1985 ./..	1,3-5,18

WEITERE ANGABEN ZU BLATT 2

A	siehe Abbildungen 1,2,6; Seite 1, Zeile 1 - Seite 6, Zeile 14; Seite 20, Zeile 22 - Seite 21, Zeile 21 -- EP, A, 0101872 (TOSHIBA) 7. März 1984 siehe Abbildung 4; Seite 3, Zeile 32 - Seite 4, Zeile 26 -----	2
---	--	---

V. BEMERKUNGEN ZU DEN ANSPRÜCHEN, DIE SICH ALS NICHT RECHERCHIERBAR ERWIESEN HABEN¹

Gemäß Artikel 17 Absatz 2 Buchstabe a sind bestimmte Ansprüche aus folgenden Gründen nicht Gegenstand der internationalen Recherche gewesen:

1. ☐ Ansprüche Nr., weil sie sich auf Gegenstände beziehen, die zu recherchieren die Behörde nicht verpflichtet ist, nämlich

2. ☐ Ansprüche Nr., weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, daß eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich

3. ☐ Ansprüche Nr., weil sie abhängige Ansprüche und nicht entsprechend Satz 2 und 3 der Regel 6.4 a) PCT abgefaßt sind.

VI. ☒ BEMERKUNGEN BEI MANGELNDER EINHEITLICHKEIT DER ERFINDUNG²

Die Internationale Recherchenbehörde hat festgestellt, daß diese internationale Anmeldung mehrere Erfindungen enthält:

- | | |
|---------------------------|--------------------------|
| 1. Patentansprüche 1-9,18 | 4. Patentanspruch 13 |
| 2. Patentansprüche 10,11 | 5. Patentansprüche 14,15 |
| 3. Patentanspruch 12 | 6. Patentansprüche 16,17 |

1. ☐ Da der Anmelder alle erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich der internationale Recherchenbericht auf alle recherchierbaren Ansprüche der internationalen Anmeldung.
2. ☐ Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich der internationale Recherchenbericht nur auf die Ansprüche der internationalen Anmeldung, für die Gebühren gezahlt worden sind, nämlich
3. ☒ Der Anmelder hat die erforderlichen zusätzlichen Recherchegebühren nicht rechtzeitig entrichtet. Der internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; sie ist in folgenden Ansprüchen erfaßt:

1-9,18
4. ☐ Da für alle recherchierbaren Ansprüche eine Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der eine zusätzliche Recherchegebühr gerechtfertigt hätte, hat die Internationale Recherchenbehörde eine solche Gebühr nicht verlangt.

Bemerkung hinsichtlich eines Widerspruchs

- ☐ Die zusätzlichen Gebühren wurden vom Anmelder unter Widerspruch gezahlt.
- ☐ Die Zahlung zusätzlicher Gebühren erfolgte ohne Widerspruch.

ANHANG ZUM INTERNATIONALEN RECHERCHENBERICHT ÜBER DIE INTERNATIONALE PATENTANMELDUNG NR.

EP 8901162
SA 31548

In diesem Anhang sind die Mitglieder der Patentfamilien der im obengenannten internationalen Recherchenbericht angeführten Patentedokumente angegeben.
Die Angaben über die Familienmitglieder entsprechen dem Stand der Datei des Europäischen Patentamts am 12/03/90
Diese Angaben dienen nur zur Unterrichtung und erfolgen ohne Gewähr.

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP-A- 0150929	07-08-85	JP-A- 60169167	02-09-85
US-A- 4481423	06-11-84	Keine	
GB-A- 2152749	07-08-85	Keine	
WO-A- 8400822	01-03-84	US-A- 4533833	06-08-85
		CA-A- 1206576	24-06-86
		DE-T- 3390103	18-10-84
		EP-A- 0118467	19-09-84
		GB-A, B 2125620	07-03-84
		NL-T- 8320242	02-07-84
WO-A- 8503179	18-07-85	DE-A- 3400480	05-09-85
		DE-A- 3563806	18-08-88
		EP-A, B 0168444	22-01-86
		JP-T- 61500941	08-05-86
EP-A- 0101872	07-03-84	JP-A- 60001878	08-01-85
		JP-A- 59016389	27-01-84
		US-A- 4695858	22-09-87

EPO FORM P0473